

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-74944

(P2002-74944A)

(43)公開日 平成14年3月15日(2002.3.15)

(51) Int.Cl.  
G 11 C 11/403  
11/407  
11/406  
11/401  
29/00

### 識別記号

F I  
G 1 1 C 29/00  
11/34

テマゴト<sup>°</sup>(参考)  
5B024  
5L106

検索請求 有 請求項の数55 OL (全 55 頁)

(21)出願番号	特願2000-363664(P2000-363664)
(22)出願日	平成12年11月29日(2000.11.29)
(31)優先権主張番号	特願平11-345345
(32)優先日	平成11年12月3日(1999.12.3)
(33)優先権主張国	日本(JP)
(31)優先権主張番号	特願2000-67607(P2000-67607)
(32)優先日	平成12年3月10日(2000.3.10)
(33)優先権主張国	日本(JP)
(31)優先権主張番号	特願2000-177390(P2000-177390)
(32)優先日	平成12年6月13日(2000.6.13)
(33)優先権主張国	日本(JP)

(71)出願人 000004237  
日本電気株式会社  
東京都港区芝五丁目7番1号

(72)発明者 高橋 弘行  
東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 稲葉 秀雄  
東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100108578  
森理士 亮橋 誠里 (外3名)

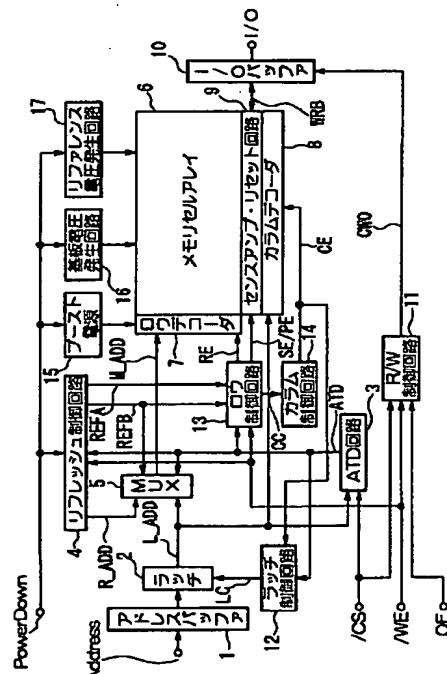
最終頁に統く

(54) 【発明の名称】 半導体記憶装置及びそのテスト方法

(57)【要約】

【課題】DRAMと同じメモリセルを備え、SRAM仕様で動作する半導体記憶装置であって、チップサイズが小さく低消費電力かつ安価で、アドレスに含まれるスキューによるアクセスの遅延やメモリセル破壊を引き起こさない半導体記憶装置を提供する。

【解決手段】 A T D 回路3は外部から供給されるアドレスAddressの変化からアドレス変化検出信号A T Dにワンショットパルスを発生させる。その際、アドレスのビット毎にワンショットパルスを発生させてそれらを合成することで、アドレスにスキューが含まれる場合であってもワンショットパルスを1発だけ発生させる。まず、リフレッシュ制御回路4が生成したリフレッシュアドレスR\_ADDを用いてワンショットパルスの発生期間中にリフレッシュする。次に、ワンショットパルスの立ち下がりを受け、ラッチ制御信号L Cを生成してアドレスをラッチ2に取り込んでメモリセルアレイ6にアクセスする。



【特許請求の範囲】

【請求項1】 リフレッシュを必要とする複数のメモリセルを有する半導体記憶装置において、前記リフレッシュの対象となるメモリセルに対応するリフレッシュアドレス信号を生成するリフレッシュアドレス生成手段と、

入力アドレス信号に応答してアドレス変化検出信号を発生するアドレス変化検出手段と、

前記アドレス変化検出信号に応答して、前記リフレッシュアドレス信号に対応するメモリセルのリフレッシュを行ってから、前記入力アドレス信号に対応するメモリセルにアクセスする制御手段とを具備することを特徴とする半導体記憶装置。

【請求項2】 前記アドレス変化検出手段は、前記入力アドレス信号のうちの上位所定ビットに応答して前記アドレス変化検出信号を発生させ、

前記制御手段は、前記入力アドレス信号の前記上位所定ビットが同一である複数のメモリセルに対して、前記入力アドレス信号のうち前記上位所定ビット以外のビットからなるページアドレスを変化させて前記複数のメモリセルへ連続的にアクセスすることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記アドレス変化検出手段は、前記入力アドレス信号または活性化信号に応答して前記アドレス変化検出信号を発生し、前記活性化信号は、前記半導体記憶装置をアクセスするときに有効化される選択信号であることを特徴とする請求項1又は2に記載の半導体記憶装置。

【請求項4】 前記アドレス変化検出信号はワンショットパルスであることを特徴とする請求項1～3の何れかの項に記載の半導体記憶装置。

【請求項5】 前記制御手段は、前記ワンショットパルスの発生を1回のトリガとして、前記リフレッシュを行ったのちに前記アクセスを行うことを特徴とする請求項4記載の半導体記憶装置。

【請求項6】 前記アドレス変化検出手段は、前記アドレス変化検出信号の発生に用いられる前記入力アドレス信号の各ビットまたは活性化信号の変化に応答してそれぞれ所定幅のパルスを発生させ、これらパルスを合成することによって前記ワンショットパルスを生成することを特徴とする請求項4又は5に記載の半導体記憶装置。

【請求項7】 前記アドレス変化検出手段は、前記アドレス変化検出信号として、前記入力アドレス信号または活性化信号に含まれるスキーの最大値を超えるパルス幅を持ったワンショットパルスを発生させることを特徴とする請求項4～6の何れかの項に記載の半導体記憶装置。

【請求項8】 前記アドレス変化検出手段は、前記アドレス変化検出信号として、前記入力アドレス信号また

は活性化信号が変化し始めてから前記入力アドレス信号又は前記活性化信号が確定するまでの待機期間に相当するパルス幅を持ったワンショットパルスを発生させることを特徴とする請求項4～7の何れかの項に記載の半導体記憶装置。

【請求項9】 前記制御手段は、前記ワンショットパルスが生成されている期間内に前記リフレッシュを行うことを特徴とする請求項4～8の何れかの項に記載の半導体記憶装置。

【請求項10】 前記制御手段は、前記メモリセルに対する書き込み動作を活性化する書き込みイネーブル信号が、前記リフレッシュを行っている期間内に入力されたときに、前記書き込みイネーブル信号に応答して、入力される書き込みデータを書き込み用のバスに取り込んでおき、前記リフレッシュが終了してから前記書き込みデータを前記バスから前記メモリセルへ書き込むことを特徴とする請求項1～9の何れかの項に記載の半導体記憶装置。

【請求項11】 前記制御手段は、前記アドレス変化検出信号が所定時間にわたって発生しなかったときにセルフリフレッシュを起動させ、一定時間間隔で内部リフレッシュ要求を生成して前記リフレッシュを行うことを特徴とする請求項1～10の何れかの項に記載の半導体記憶装置。

【請求項12】 前記制御手段は、前記セルフリフレッシュによるリフレッシュを行っている最中に前記アドレス変化検出信号が発生したときに、前記セルフリフレッシュを行ってから前記入力アドレス信号に対するアクセスを行うことを特徴とする請求項1～11記載の半導体記憶装置。

【請求項13】 前記ワンショットパルスはそれぞれ前記リフレッシュおよび前記アクセスのトリガとなる第1の変化点および第2の変化点を有し、前記リフレッシュアドレス生成手段は、前記第2の変化点をトリガにして前記リフレッシュアドレス信号を更新することを特徴とする請求項4～12の何れかの項に記載の半導体記憶装置。

【請求項14】 前記リフレッシュの制御を行う前記制御手段内の回路部分と前記リフレッシュアドレス生成手段とで構成されたリフレッシュ制御手段と、半導体記憶装置内の所定の回路に供給する電圧を発生させる電圧発生手段と、

前記リフレッシュ制御手段及び前記電圧発生手段の双方に電源を供給する第1のモード、前記リフレッシュ制御手段に対する電源の供給を停止するとともに前記電圧発生手段に電源を供給する第2のモード、前記リフレッシュ制御手段及び前記電圧発生手段の双方に対する電源の供給を停止する第3のモードの何れかに切り換える、該切り換えられたモードに応じて前記リフレッシュ制御手段及び前記電圧発生手段へ電源供給を行うか否かをそれぞ

れ制御するモード切り換え手段とをさらに備えたことを特徴とする請求項1～13の何れかの項に記載の半導体記憶装置。

【請求項15】 前記モード切り換え手段は、所定のアドレスに対してモード毎に予め決められたデータの書き込み要求があったことに応答してモードの切り換えを行うことを特徴とする請求項14記載の半導体記憶装置。

【請求項16】 前記制御手段は、入力されるテストモード信号に応答して、入力リフレッシュ要求、あるいは、前記アドレス変化検出信号に基づいて生成される内部リフレッシュ要求の何れかを選択し、該選択したリフレッシュ要求に従って前記リフレッシュを行うことを特徴とする請求項1～15の何れかの項に記載の半導体記憶装置。

【請求項17】 前記リフレッシュの最中に使われないピンを介して前記入力リフレッシュ要求を入力することを特徴とする請求項16記載の半導体記憶装置。

【請求項18】 前記リフレッシュアドレス生成手段は、リフレッシュを行う度に前記リフレッシュアドレス信号を更新することを特徴とする請求項1～17の何れかの項に記載の半導体記憶装置。

【請求項19】 前記制御手段は、前記アドレス変化検出信号に応答して、前記リフレッシュアドレス信号に対応するメモリセルのリフレッシュを行ってから、前記入力アドレス信号に対応するメモリセルの読み出し又は書き込みを行うことを特徴とする請求項1～18の何れかの項に記載の半導体記憶装置。

【請求項20】 前記制御手段は、書き込み要求が入力されたときには、前記アドレス変化検出信号に応答して、前記リフレッシュアドレス信号に対応するメモリセルのリフレッシュを行ってから、前記入力アドレス信号に対応するメモリセルへの書き込みを行い、読み出し要求が入力されたときには、前記アドレス変化検出信号に応答して、前記入力アドレス信号に対応するメモリセルの読み出しを行ってから、前記リフレッシュアドレス信号に対応するメモリセルのリフレッシュを行うことを特徴とする請求項1～18の何れかの項に記載の半導体記憶装置。

【請求項21】 前記制御手段は、前記入力アドレス信号が変化したときから所定時間が経過したときに、入力されたアクセス要求が読み出し要求、書き込み要求のいずれであるのかを判定することを特徴とする請求項20記載の半導体記憶装置。

【請求項22】 請求項1～21の何れかの項記載の半導体記憶装置をテストするテスト方法であって、前記複数のメモリセルから成るメモリセルアレイに所定のテストパターンを書き込むステップと、前記半導体記憶装置の内部で生成されるリフレッシュ要

求によるリフレッシュを全て禁止するステップと、前記入力アドレス信号の変化のタイミングと前記半導体記憶装置へ入力リフレッシュ要求を与えるタイミングとを所定の時間関係に設定し、前記入力アドレス信号を変化させながら前記入力リフレッシュ要求を与えて、前記メモリセルアレイのリフレッシュを行うステップと、前記メモリセルアレイから読み出したデータを前記テストパターンと照合することで前記半導体記憶装置の良／不良を判定するステップとを有することを特徴とする半導体記憶装置のテスト方法。

【請求項23】 前記変化のタイミングと前記入力リフレッシュ要求を与えるタイミングとの間の前記時間関係を所定時間範囲にわたって可変させるステップをさらに有することを特徴とする請求項22記載の半導体記憶装置のテスト方法。

【請求項24】 前記時間関係を一定にしたまま、前記メモリセルアレイ上の全てのワード線に対して前記リフレッシュを順次行ってゆくステップをさらに有することを特徴とする請求項22又は23に記載の半導体記憶装置のテスト方法。

【請求項25】 前記入力アドレス信号を変化させるときに、前記入力アドレス信号の全ビットを同時に反転させることを特徴とする請求項22～24の何れかの項に記載の半導体記憶装置のテスト方法。

【請求項26】 リフレッシュを必要とする複数のメモリセルを備えた半導体記憶装置において、前記リフレッシュに必要となる装置内の各回路をスタンバイ状態において動作させるかどうかが回路毎に規定された複数種類のモードの中から選択したモードに従って、前記スタンバイ状態となったときに、前記リフレッシュに必要となる装置内の各回路を動作させ、あるいは、それらの動作を停止させる動作制御手段を具備することを特徴とする半導体記憶装置。

【請求項27】 前記複数のメモリセルで構成されるメモリセルアレイは、前記スタンバイ状態となったときに前記リフレッシュを行うかどうかが独立に制御される複数のメモリセルエリアに分割されており、前記動作制御手段は、前記メモリセルエリア及び該メモリセルエリアのリフレッシュに必要となる周辺回路からなるメモリプレート毎にそれぞれ設定された前記モードに応じて、前記メモリプレートの各々を動作させ、あるいは、その動作を停止させることを特徴とする請求項26記載の半導体記憶装置。

【請求項28】 前記メモリプレートの各々は、該メモリプレートを構成する前記メモリセルエリアおよび前記周辺回路に電源供給を行う電源手段をさらに備え、前記動作制御手段は、前記メモリプレート毎に設定された前記モードに応じて、前記メモリプレート毎に設けられた前記電源手段を動作させ、あるいは、その動作を停止させることを特徴とする請求項27記載の半導体記憶

装置。

【請求項29】 複数の前記メモリプレートに対して電源供給を行うために前記複数のメモリプレート間で共有された電源手段を備え、

前記動作制御手段は、前記メモリプレート毎に設定された前記モードに応じて、前記電源手段から前記メモリプレートの各々に電源を供給するかどうかを前記メモリプレート毎に制御する複数のスイッチ手段を具備することを特徴とする請求項27記載の半導体記憶装置。

【請求項30】 入力モード信号に応答して、前記モードを前記メモリプレート毎に設定するためのプログラム手段を具備することを特徴とする請求項27～29の何れかの項に記載の半導体記憶装置。

【請求項31】 前記プログラム手段は、入力されたアドレスをもとに該アドレスに対応したメモリセルエリアを備えたメモリプレートを特定し、前記入力モード信号により指定されたモードを該特定されたメモリプレートに対するモードとして設定することを特徴とする請求項30記載の半導体記憶装置。

【請求項32】 前記リフレッシュに必要となる装置内の各回路は、

前記リフレッシュの制御を行うリフレッシュ制御手段と、

前記リフレッシュ制御手段および自身の電源手段を除いた所定の回路へ電源供給を行う電源手段とを有し、前記動作制御手段は、前記スタンバイ状態となったときに、前記リフレッシュ制御手段及び前記電源手段の双方を動作させる第1のモード、前記リフレッシュ制御手段の動作を停止させるとともに前記電源手段を動作させる第2のモード、前記リフレッシュ制御手段及び前記電源手段の双方の動作を停止させる第3のモードの中から選択されたモードに応じて、前記リフレッシュ制御手段及び前記電源手段を動作させ、あるいは、その動作を停止させることを特徴とする請求項26～31の何れかの項に記載の半導体記憶装置。

【請求項33】 前記動作制御手段は、所定のアドレスに対してモード毎に予め決められたデータの書き込み要求があったことに応答してモードの設定を行うことを特徴とする請求項32記載の半導体記憶装置。

【請求項34】 リフレッシュを必要とするメモリセルを選択する選択手段にアドレス信号を供給する制御回路であって、  
入力アドレス信号の変化に応答してリフレッシュアドレス信号を生成するリフレッシュアドレス生成手段と、  
前記リフレッシュアドレス信号を前記選択手段に出力してから前記入力アドレス信号を前記選択手段に出力するアドレス切換手段とを具備することを特徴とする制御回路。

【請求項35】 前記アドレス切換手段は、前記入力アドレス信号のうち上位所定ビット以外のビットからな

るページアドレスを変化させながら、前記上位所定ビットが同一である複数のメモリセルへ連続的にアクセスするためのアドレス信号を前記選択手段に出力することを特徴とする請求項34記載の制御回路。

【請求項36】 前記リフレッシュアドレス生成手段は、前記入力アドレス信号または活性化信号に応答して前記リフレッシュアドレス信号を発生することを特徴とする請求項34または35に記載の制御回路。

【請求項37】 前記アドレス切換手段は、前記入力アドレス信号の変化を1回のトリガとして、前記リフレッシュアドレス信号を前記選択手段に出力してから前記入力アドレス信号を前記選択手段に出力することを特徴とする請求項34～36の何れかの項に記載の制御回路。

【請求項38】 前記リフレッシュアドレス生成手段は、前記入力アドレス信号が所定時間にわたって変化していないときにセルフリフレッシュを起動させ、一定時間間隔で前記リフレッシュアドレス信号を生成することを特徴とする請求項34～37の何れかの項に記載の制御回路。

【請求項39】 前記アドレス切換手段は、前記セルフリフレッシュによるリフレッシュが行われている最中に前記入力アドレス信号が変化したとき、前記セルフリフレッシュが行われてから前記入力アドレス信号を前記選択手段に出力することを特徴とする請求項38記載の制御回路。

【請求項40】 前記リフレッシュアドレス生成手段を少なくとも含み、前記リフレッシュの制御を行うリフレッシュ制御手段と、

前記リフレッシュ制御手段、および、前記メモリセル及び前記選択手段を含む所定の回路に供給する電圧を発生させる電圧発生手段の双方に電源を供給する第1のモード、前記リフレッシュ制御手段に対する電源の供給を停止するとともに前記電圧発生手段に電源を供給する第2のモード、前記リフレッシュ制御手段及び前記電圧発生手段の双方に対する電源の供給を停止する第3のモードのうちの何れかのモードに切り換えるためのモード切換信号を発生するモード制御手段とをさらに備えたことを特徴とする請求項34～39の何れかの項に記載の制御回路。

【請求項41】 前記モード制御手段は、モード毎に予め決められたデータを所定のアドレスに書き込むための書き込み要求に応答して前記モード切換信号を発生させることを特徴とする請求項40記載の制御回路。

【請求項42】 入力されるテストモード信号に応答して、入力リフレッシュ要求または前記入力アドレス信号の変化に基づいて生成される内部リフレッシュ要求の何れかを選択するリフレッシュ要求選択手段をさらに備え、  
前記アドレス切換手段は、選択されたリフレッシュ要求

に応じて、前記入力アドレス信号を前記リフレッシュアドレス信号として前記選択手段に出力し、あるいは、前記リフレッシュアドレス信号をそのまま前記選択手段に出力することを特徴とする請求項34～41の何れかの項に記載の制御回路。

【請求項43】 前記リフレッシュの最中に使われないピンを介して前記入力リフレッシュ要求を入力することを特徴とする請求項42記載の制御回路。

【請求項44】 前記リフレッシュアドレス生成手段は、前記リフレッシュを行う度に前記リフレッシュアドレス信号を更新することを特徴とする請求項34～43の何れかの項に記載の制御回路。

【請求項45】 前記アドレス切換手段は、書き込み要求、読み出し要求のいずれが入力されたかによらず、前記リフレッシュアドレス信号を前記選択手段に出力してから前記入力アドレス信号を前記選択手段に出力することを特徴とする請求項34～44の何れかの項に記載の制御回路。

【請求項46】 前記アドレス切換手段は、書き込み要求が入力されたときには、前記アドレス変化検出信号に応答して、前記リフレッシュアドレス信号を前記選択手段に出力してから前記入力アドレスを前記選択手段に出力し、読み出し要求が入力されたときには、前記アドレス変化検出信号に応答して、前記入力アドレス信号を前記選択手段に出力してから前記リフレッシュアドレス信号を前記選択手段に出力することを特徴とする請求項34～44の何れかの項に記載の制御回路。

【請求項47】 前記アドレス切換手段は、前記入力アドレス信号が変化したときから所定時間が経過したときに、入力されたアクセス要求が読み出し要求、書き込み要求のいずれであるのかを判定することを特徴とする請求項46記載の制御回路。

【請求項48】 メモリセルのリフレッシュに必要となる各回路の動作を制御する制御回路であって、前記各回路をスタンバイ状態において動作させるかどうかが回路毎に規定された複数種類のモードの中から選択したモードに従って、前記スタンバイ状態となったときに、前記リフレッシュに必要となる各回路を動作させ、あるいは、それらの動作を停止させることを特徴とする制御回路。

【請求項49】 前記スタンバイ状態となったときに前記リフレッシュを行うかどうかが独立に制御されるメモリセルエリアと該メモリセルエリアのリフレッシュに必要となる周辺回路とからなるメモリプレート毎に設定された前記モードに応じて、前記メモリプレートの各々を動作させ、あるいは、その動作を停止させることを特徴とする請求項48記載の制御回路。

【請求項50】 前記メモリプレート毎に設定された前記モードに応じて、前記メモリセルエリアおよび前記

周辺回路に電源供給を行うために前記メモリプレート毎に設けられた電源手段を動作させ、あるいは、その動作を停止させることを特徴とする請求項49記載の制御回路。

【請求項51】 前記メモリプレート毎に設定された前記モードに応じて、複数の前記メモリプレートに対して電源供給を行うために前記複数のメモリプレート間で共有された電源手段から前記メモリプレートの各々に電源を供給するかどうかを制御する複数のスイッチ手段を具備することを特徴とする請求項49記載の制御回路。

【請求項52】 入力モード信号に応答して、前記モードを前記メモリプレート毎に設定するためのプログラム手段を具備することを特徴とする請求項49～51の何れかの項に記載の制御回路。

【請求項53】 前記プログラム手段は、入力されたアドレスをもとに該アドレスに対応したメモリセルエリアを備えたメモリプレートを特定し、前記入力モード信号により指定されたモードを該特定されたメモリプレートに対するモードとして設定することを特徴とする請求項52記載の制御回路。

【請求項54】 前記スタンバイ状態となったときに、前記リフレッシュの制御を行うリフレッシュ制御手段と、前記リフレッシュ制御手段および自身の電源手段を除いた所定の回路へ電源供給を行う電源手段との双方を動作させる第1のモード、前記リフレッシュ制御手段の動作を停止させるとともに前記電源手段を動作させる第2のモード、前記リフレッシュ制御手段及び前記電源手段の双方の動作を停止させる第3のモードの中から選択したモードに応じて、前記リフレッシュ制御手段及び前記電源手段を動作させ、あるいは、その動作を停止させることを特徴とする請求項48～53の何れかの項に記載の制御回路。

【請求項55】 所定のアドレスに対してモード毎に予め決められたデータの書き込み要求があったことに応答してモードの設定を行うことを特徴とする請求項54記載の制御回路。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、メモリセルアレイがDRAM(ダイナミック・ランダム・アクセス・メモリ)と同じメモリセルで構成されており、かつ、半導体記憶装置の外部から見たときにSRAM(スタティックRAM)と同様の仕様で動作する半導体記憶装置に関するものである。なかでも本発明は、メモリセルに対する書き込みタイミングを決定する書き込みイネーブル信号が書き込みアドレスに対して非同期的に与えられるSRAMと互換性を持った半導体記憶装置に関する。

##### 【0002】

【従来の技術】ランダムアクセスの可能な半導体記憶装置としてはSRAMおよびDRAMが最も代表的であ

る。DRAMと比べた場合、SRAMは一般に高速である上に、電源を供給してアドレスを入力しさえすればそのアドレスの変化を捉えて内部の順序回路が動作して、読み出し・書き込みを行うことができる。このように、SRAMはDRAMに比べて単純な入力信号波形を与えるだけで動作するため、こうした入力信号波形を生成する回路の構成も簡単化することが可能である。

【0003】また、SRAMはDRAMのようにメモリセルに記憶されたデータを保持し続けるためのリフレッシュが不要であることから、その取り扱いが容易であるとともに、リフレッシュを必要としないのでスタンバイ状態におけるデータ保持電流が小さいという長所がある。こうしたことでもSRAMは様々な用途に広く用いられている。しかし、SRAMは一般に1メモリセル当たり6個のトランジスタを必要とするため、DRAMに比べてどうしてもチップサイズが大きくなり、価格がDRAMに比べて高くならざるを得ないという短所がある。

【0004】一方、DRAMはアドレスとして行アドレス及び列アドレスを2回に分けて別々に与え、これらアドレスの取り込みタイミングを規定する信号としてRAS(行アドレスストローブ)信号およびCAS(列アドレスストローブ)信号を必要とすること、定期的にメモリセルをリフレッシュするための制御回路が必要になることから、SRAMに比べてタイミング制御が複雑となってしまう。

【0005】また、DRAMは外部からのアクセスが無いときにもメモリセルのリフレッシュが必要となることから消費電流が大きくなってしまうという問題もある。とは言え、DRAMのメモリセルはキャバシタ1個とトランジスタ1個で構成可能であるため、小さなチップサイズで大容量化を図ることは比較的容易である。したがって、同じ記憶容量の半導体記憶装置を構成するのであればSRAMよりもDRAMの方が安価になる。

【0006】ところで、携帯電話などに代表される携帯機器が採用している半導体記憶装置としてはこれまでのところSRAMが主流である。これは、これまでの携帯電話には簡単な機能しか搭載されていなかったためそれほど大容量の半導体記憶装置が必要とされなかったこと、DRAMに比べてタイミング制御などの点でSRAMは扱いが容易であること、SRAMはスタンバイ電流が小さく低消費電力であるため、連続通話時間・連続待ち受け時間ができる限り伸ばしたい携帯電話などに向いていることなどがその理由である。

【0007】しかしに、こここのところ、非常に豊富な機能を搭載した携帯電話が登場してきており、電子メールの送受信機能や、各種のサイトにアクセスして近隣にあるレストランなどのタウン情報を取得するといった機能も実現されている。のみならず、ごく最近の携帯電話ではインターネット上のWEBサーバにアクセスしてホー

ムページの内容を簡略化して表示するような機能も搭載されており、将来的には現在のデスクトップ型パソコンと同様にインターネット上のホームページ等へ自由にアクセスできるようになることも想定される。

【0008】こうした機能を実現するためには、従来の携帯電話のように単純なテキスト表示を行っているだけでは駄目であって、多様なマルチメディア情報をユーザへ提供するためのグラフィック表示が不可欠となる。それには、公衆網などから受信した大量のデータを携帯電話内の半導体記憶装置上に一時的に蓄えておく必要が生じてくる。つまり、これから携帯機器に搭載される半導体記憶装置としてはDRAMのように大容量であることが必須条件であると考えられる。しかも、携帯機器は小型かつ軽量であることが絶対条件であるため、半導体記憶装置を大容量化しても機器そのものが大型化・重量化することは避けねばならない。

【0009】以上のように、携帯機器に搭載される半導体記憶装置としては扱いの簡便さや消費電力を考えるとSRAMが好ましいが、大容量化の観点からすればDRAMが好ましいことになる。つまり、これから携帯機器にはSRAMおよびDRAMの長所をそれぞれ取り入れた半導体記憶装置が最適であると言える。この種の半導体記憶装置としては、DRAMに採用されているものと同じメモリセルを使用しながら、外部から見たときにSRAMとほぼ同様の仕様を持った「疑似SRAM」と呼ばれるものが既に考えられてはいる。

【0010】疑似SRAMはDRAMのようにアドレスを行アドレス、列アドレスに分けて別々に与える必要がなく、またそのためにRAS、CASのようなタイミング信号も必要としない。疑似SRAMでは汎用のSRAMと同様にアドレスを一度に与えるだけで良く、クロック同期型の半導体記憶装置のクロックに相当するチップイネーブル信号をトリガにしてアドレスを内部に取り込んで読み出し/書き込みを行っている。

【0011】もっとも、疑似SRAMは汎用のSRAMと完全な互換性を有しているとは限らず、その多くはメモリセルのリフレッシュを外部から制御するためのリフレッシュ制御端子を具備しており、リフレッシュを疑似SRAMの外部で制御してやらねばならない。このため、疑似SRAMの多くはSRAMと比べたときに扱いが容易でなく、リフレッシュ制御のための余分な回路が必要となってくるといった欠点がある。こうしたことから、以下に紹介するように、疑似SRAMの外部でリフレッシュを制御しなくて済むようにして、汎用SRAMと全く同じ仕様で動作させるようにした疑似SRAMも考えられてきている。しかしこの種の疑似SRAMにも以下に述べるように様々な欠点がある。

【0012】

【発明が解決しようとする課題】まず、第1の従来例と

して特開昭61-5495号公報や特開昭62-188096号公報に開示された半導体記憶装置が挙げられる。前者の半導体記憶装置はリフレッシュ間隔を計時するためのリフレッシュタイムを内部に有しており、リフレッシュ間隔に相当する時間が経過した時点でリフレッシュスタート要求を発生させ、読み出し動作におけるビット線対の増幅動作が完了した後に、リフレッシュアドレスに対応するワード線を活性化させてセルフリフレッシュを行っている。こうすることで、半導体記憶装置の外部からメモリセルのリフレッシュを制御しなくとも済むようにしている。

【0013】また、後者の半導体記憶装置は前者の半導体記憶装置を実現するための動作タイミング制御回路についてその詳細構成を具体的に開示したものであって、基本的に前者の半導体記憶装置と同様のものである。次に、第2の従来例として特開平6-36557号公報に開示された半導体記憶装置が挙げられる。この半導体記憶装置も内部にリフレッシュ用のタイムを備えており、所定のリフレッシュ時間が経過した時点でリフレッシュスタート要求を発生させて、読み出しが完了した後にセルフリフレッシュを行うようにしている。

【0014】しかしながら、第1の従来例や第2の従来例では書き込みタイミングを決定する書き込みイネーブル信号が如何なるタイミングで与えられるのかが全く考慮されておらず、次のような問題を生じる可能性がある。すなわち、疑似SRAMを汎用SRAMと同じ仕様で動作させようとした場合、書き込みイネーブル信号はアドレスの変化に対して非同期に与えられることになる。また、リフレッシュスタート要求によるセルフリフレッシュも、アドレスの変化に対して非同期的に発生する。このため、書き込みイネーブル信号がリフレッシュスタート要求よりも遅れて入力されて例えばメモリサイクルの後半部分で有効化されたような場合、既にセルフリフレッシュが始まっていると、このセルフリフレッシュが完了した後でなければ書き込みを行うことができない。

【0015】しかしそうすると、セルフリフレッシュ後に行われる書き込みが大幅に遅れてしまうことになる。こうした事態を避けるにはセルフリフレッシュよりも書き込みを優先させる必要がある。ところがそうしてしまうと、リフレッシュスタート要求が発生した後に書き込みが連続して発生するような場合にセルフリフレッシュの入り込む余地がなくなってしまい、事実上セルフリフレッシュが不可能になってしまう可能性がある。

【0016】また、第1の従来例や第2の従来例ではアドレスにスキューブルが含まれる場合にアクセスが遅れてしまうという問題もある。すなわち、アドレスにスキューブルが存在する場合にはどうしてもスキューブルだけワード線の選択動作を遅らせてやる必要がある。というのも、疑似SRAMが採用しているDRAMのメモリセルは一般

に破壊読み出しであるため、あるワード線を活性化させてセンスアンプで読み出しを行ったときには、このワード線に接続されている全てのメモリセルに元々記憶されていたデータを当該センスアンプからこれらメモリセルへ書き戻してやる必要があるからである。

【0017】このため、一旦読み出しを開始してしまうとこれに対応する再書き込みが完了するまでは途中でワード線を切り換えてしまう訳にはゆかない。ところが、アドレスにスキューブルが含まれる場合にはアドレスの値が変化したのと等価であるため、結果的に活性化されるワード線が切り換えられてしまう。このため、複数のワード線が同時に活性化されてしまい、これらワード線に接続されているメモリセルのデータが同一のビット線上に読み出されてしまって、メモリセルのデータが破壊されてしまうことになる。

【0018】こうした事態を防ぐには、上述したようにアドレスにスキューブルだけワード線を活性化するのを遅らせてやる必要がある。このため、読み出し後にリフレッシュを行うと、特にスキューブルが大きい場合において、スキューブルのためにワード線の選択動作を遅らせた分だけリフレッシュの始まりも遅れてしまうほか、リフレッシュ後の読み出し動作等も遅れてしまうことになる。

【0019】次に、第3の従来例として特開平4-243087号公報に開示された半導体記憶装置が挙げられる。この従来例では疑似SRAM自身にリフレッシュタイムを持たせずに、疑似SRAMの外部にタイムを設けるようにしている。そして、リフレッシュ時間が経過した後に最初のアクセス要求があった時点で、疑似SRAMの外部にてOE(出力イネーブル)信号を作り出し、このOE信号に従ってリフレッシュを行ってから当該アクセス要求に対応する読み出し又は書き込みを行うようしている。

【0020】しかしながら、この第3の従来例のような構成では消費電力が大きくなり過ぎてしまって、バッテリ駆動による長時間使用を前提とした携帯電話などの低消費電力製品には適用することができないという問題がある。というのも、第3の従来例では、チップイネーブル(CE)信号が有効になった時点で疑似SRAMが外部から入力されたアドレスをラッチして動作するようになっている。つまり、第3の従来例では疑似SRAMへアクセスする度にチップイネーブル信号を変化させる必要があるため、実装基板上に配線されたチップイネーブル信号のバス線の充放電電流によって消費電力が大きくなってしまう。

【0021】このほか、第4の従来例として特許第2529680号公報(特開昭63-206994号公報)に開示されている半導体記憶装置が挙げられる。この従来例では、外部からリフレッシュを制御するようにした旧来の疑似SRAMと同様の構成が開示されているほ

か、この疑似SRAMの構成を流用しながらさらに改良を加えた構成が示されている。

【0022】前者の構成では、出力イネーブル信号が有効になったことを受けてアドレス変化検出信号を生成し、疑似SRAM内部で生成されたリフレッシュアドレスに従ってセルリフレッシュを行ったのち、出力イネーブル信号が無効になった時点で再びアドレス変化検出信号を生成して、疑似SRAM外部から与えられた外部アドレスについてもリフレッシュを行っている。しかしながら、出力イネーブル信号がリフレッシュ間隔毎に定期的に発生するのであれば外部アドレスを対象とした後者のリフレッシュは本来必要ではなく、外部アドレスについてリフレッシュを行っている分だけ無駄に電力を消費してしまっている。

【0023】一方、後者の構成では、外部アドレスの変化を捉えてアドレス変化検出信号を発生させ、このアドレス変化検出信号を契機として疑似SRAM内部で生成されたリフレッシュアドレスに対してリフレッシュを行い、それから一定時間が経過した後に再びアドレス変化検出信号を発生させて外部アドレスを対象とした通常の読み出し・書き込みを行うようにしている。しかしこうした構成では外部アドレスにスキューが含まれるときに問題を生じることになる。

【0024】すなわち、外部アドレスにスキューが含まれている場合には、アドレスの各ビットが互いに異なるタイミングで変化するため、各タイミングについてアドレス変化が検出されて、複数のアドレス変化検出信号が生成される。このため、最初のアドレス変化検出信号でリフレッシュが起動されるのは良いとしても、2番目以降のアドレス変化検出信号によって本来はリフレッシュの完了後に行われるべき外部アドレスに対する通常のアクセスが起動されてしまう。つまりこの場合、リフレッシュ中であるにも拘わらず外部アドレスに対するアクセス要求が為されてしまう。このため、第1の従来例や第2の従来例の説明で指摘したのと同じく、複数のワード線が同時に活性化されてしまい、これらワード線に接続されたメモリセルのデータが同一のビット線上に読み出されてしまうため、メモリセルのデータが破壊されてしまうことになる。

【0025】以上のほかにも既存の疑似SRAMには次のような問題がある。すなわち、汎用SRAMなどでは内部の回路に対する電源の供給を停止して消費電力を極めて小さくするスタンバイモードが設けられている場合が多い。ところが、疑似SRAMはメモリセルそのものがDRAMと同じであることからメモリセルに記憶されているデータを保持するためには常にリフレッシュを必要とする。このため、SRAMと同様に動作するとはいながら、従来の疑似SRAMでは汎用SRAMに採用されているようなスタンバイモードが特に設けられていない。

【0026】しかしながら、疑似SRAMを汎用SRAMと同様の仕様で動作させる以上は、使い勝手の面からしても汎用SRAMのスタンバイモードと同等の低消費電力モードを用意しておくことが望ましい。また、携帯電話等における昨今の著しい機能向上を考慮すると、今後は疑似SRAMが様々な用途に適用されることが予想される。

【0027】このため、汎用SRAMのように単にスタンバイ状態に設定できるという制御だけでは不十分となってくることが当然予想される。したがって、既存の汎用SRAMなどには無い疑似SRAM独自のスタンバイモードを先取りして提供してゆくことが必要となってくる。それには、ユーザのニーズやアプリケーションに応じてスタンバイ状態における消費電力をきめ細かく段階的に制御できれば極めて有用であると考えられる。

【0028】また、汎用DRAMではリフレッシュを当然の前提としているため、スタンバイという概念自体が存在しないが、汎用DRAMにおいても低消費電力の要請は当然ながら存在している。したがって、スタンバイモードの概念を汎用DRAMにも取り入れ、ユーザのニーズやアプリケーションに応じてスタンバイ状態における消費電力をきめ細かく制御することで低消費電力化が可能となれば、汎用DRAMの新たな応用分野を開拓できるなどのメリットがあると考えられる。

【0029】本発明は上記の点に鑑みてなされたものであり、その目的は、リフレッシュによって通常のアクセスが影響されたり書き込みの連続によってリフレッシュができなくなったりする問題を生じず、また、アドレスにスキューが含まれるような場合にもアクセス遅延が生じたりメモリセルが破壊されたりといった不具合を生じることがなく、しかも、汎用のSRAM仕様で動作し大容量化してもチップサイズが小さく低消費電力であってなお且つ安価な半導体記憶装置を提供することにある。また、本発明の目的は汎用SRAMで採用されているのと同等のスタンバイモードや既存の半導体記憶装置には見られない独特の低消費電力モードを持った半導体記憶装置を提供することにある。なお、ここで述べた以外の本発明の目的については、後述する実施形態の説明から明らかとなる。

【0030】

【課題を解決するための手段】以上の課題を解決するために、請求項1記載の発明は、リフレッシュを必要とする複数のメモリセルを有する半導体記憶装置において、前記リフレッシュの対象となるメモリセルに対応するリフレッシュアドレス信号を生成するリフレッシュアドレス生成手段と、入力アドレス信号に応答してアドレス変化検出信号を発生するアドレス変化検出手段と、前記アドレス変化検出信号に応答して、前記リフレッシュアドレス信号に対応するメモリセルのリフレッシュを行ってから、前記入力アドレス信号に対応するメモリセルにア

クセスする制御手段とを具備することを特徴としている。

【0031】また、請求項2記載の発明は、請求項1記載の発明において、前記アドレス変化検出手段は、前記入力アドレス信号のうちの上位所定ビットに応答して前記アドレス変化検出手信号を発生させ、前記制御手段は、前記入力アドレス信号の前記上位所定ビットが同一である複数のメモリセルに対して、前記入力アドレス信号のうち前記上位所定ビット以外のビットからなるページアドレスを変化させて前記複数のメモリセルへ連続的にアクセスすることを特徴としている。また、請求項3記載の発明は、請求項1又は2記載の発明において、前記アドレス変化検出手段は、前記入力アドレス信号または活性化信号に応答して前記アドレス変化検出手信号を発生し、前記活性化信号は、前記半導体記憶装置をアクセスするときに有効化される選択信号であることを特徴としている。

【0032】また、請求項4記載の発明は、請求項1～3の何れかの項に記載の発明において、前記アドレス変化検出手信号はワンショットパルスであることを特徴としている。また、請求項5記載の発明は、請求項4記載の発明において、前記制御手段は、前記ワンショットパルスの発生を1回のトリガとして、前記リフレッシュを行ったのちに前記アクセスを行うことを特徴としている。また、請求項6記載の発明は、請求項4又は5に記載の発明において、前記アドレス変化検出手段は、前記アドレス変化検出手信号の発生に用いられる前記入力アドレス信号の各ビットまたは活性化信号の変化に応答してそれぞれ所定幅のパルスを発生させ、これらパルスを合成することによって前記ワンショットパルスを生成することを特徴としている。

【0033】また、請求項7記載の発明は、請求項4～6の何れかの項に記載の発明において、前記アドレス変化検出手段は、前記アドレス変化検出手信号として、前記入力アドレス信号または活性化信号に含まれるスクューの最大値を越えるパルス幅を持ったワンショットパルスを発生させることを特徴としている。また、請求項8記載の発明は、請求項4～7の何れかの項に記載の発明において、前記アドレス変化検出手段は、前記アドレス変化検出手信号として、前記入力アドレス信号または活性化信号が変化し始めてから前記入力アドレス信号又は前記活性化信号が確定するまでの待機期間に相当するパルス幅を持ったワンショットパルスを発生させることを特徴としている。

【0034】また、請求項9記載の発明は、請求項4～8の何れかの項に記載の発明において、前記制御手段は、前記ワンショットパルスが生成されている期間内に前記リフレッシュを行うことを特徴としている。また、請求項10記載の発明は、請求項1～9の何れかの項に記載の発明において、前記制御手段は、前記メモリセル

に対する書き込み動作を活性化する書き込みイネーブル信号が、前記リフレッシュを行っている期間内に入力されたときに、前記書き込みイネーブル信号に応答して、入力される書き込みデータを書き込み用のバスに取り込んでおき、前記リフレッシュが終了してから前記書き込みデータを前記バスから前記メモリセルへ書き込むことを特徴としている。

【0035】また、請求項11記載の発明は、請求項1～10の何れかの項に記載の発明において、前記制御手段は、前記アドレス変化検出手信号が所定時間にわたって発生しなかったときにセルフリフレッシュを起動させ、一定時間間隔で内部リフレッシュ要求を生成して前記リフレッシュを行うことを特徴としている。また、請求項12記載の発明は、請求項11記載の発明において、前記制御手段は、前記セルフリフレッシュによるリフレッシュを行っている最中に前記アドレス変化検出手信号が発生したときに、前記リフレッシュを行ってから前記入力アドレス信号に対するアクセスを行うことを特徴としている。また、請求項13記載の発明は、請求項4～12の何れかの項に記載の発明において、前記ワンショットパルスはそれぞれ前記リフレッシュおよび前記アクセスのトリガとなる第1の変化点および第2の変化点を有し、前記リフレッシュアドレス生成手段は、前記第2の変化点をトリガにして前記リフレッシュアドレス信号を更新することを特徴としている。

【0036】また、請求項14記載の発明は、請求項1～13の何れかの項に記載の発明において、前記リフレッシュの制御を行う前記制御手段内の回路部分と前記リフレッシュアドレス生成手段とで構成されたリフレッシュ制御手段と、半導体記憶装置内の所定の回路に供給する電圧を発生させる電圧発生手段と、前記リフレッシュ制御手段及び前記電圧発生手段の双方に電源を供給する第1のモード、前記リフレッシュ制御手段に対する電源の供給を停止するとともに前記電圧発生手段に電源を供給する第2のモード、前記リフレッシュ制御手段及び前記電圧発生手段の双方に対する電源の供給を停止する第3のモードの何れかに切り換え、該切り換えられたモードに応じて前記リフレッシュ制御手段及び前記電圧発生手段へ電源供給を行うか否かをそれぞれ制御するモード切り換え手段とをさらに備えたことを特徴としている。

【0037】また、請求項15記載の発明は、請求項14記載の発明において、前記モード切り換え手段は、所定のアドレスに対してモード毎に予め決められたデータの書き込み要求があったことに応答してモードの切り換えを行うことを特徴としている。また、請求項16記載の発明は、請求項1～15の何れかの項に記載の発明において、前記制御手段は、入力されるテストモード信号に応答して、入力リフレッシュ要求、あるいは、前記アドレス変化検出手信号に基づいて生成される内部リフレッシュ要求の何れかを選択し、該選択したリフレッシュ要

求に従って前記リフレッシュを行うことを特徴としている。

【0038】また、請求項17記載の発明は、請求項16記載の発明において、前記リフレッシュの最中に使われないピンを介して前記入力リフレッシュ要求を入力することを特徴としている。また、請求項18記載の発明は、請求項1～17の何れかの項に記載の発明において、前記リフレッシュアドレス生成手段は、リフレッシュを行う度に前記リフレッシュアドレス信号を更新することを特徴としている。また、請求項19記載の発明は、請求項1～18の何れかの項に記載の発明において、前記制御手段は、前記アドレス変化検出信号に応答して、前記リフレッシュアドレス信号に対応するメモリセルのリフレッシュを行ってから、前記入力アドレス信号に対応するメモリセルの読み出し又は書き込みを行うことを特徴としている。

【0039】また、請求項20記載の発明は、請求項1～18の何れかの項に記載の発明において、前記制御手段は、書き込み要求が入力されたときには、前記アドレス変化検出信号に応答して、前記リフレッシュアドレス信号に対応するメモリセルのリフレッシュを行ってから、前記入力アドレス信号に対応するメモリセルへの書き込みを行い、読み出し要求が入力されたときには、前記アドレス変化検出信号に応答して、前記入力アドレス信号に対応するメモリセルの読み出しを行ってから、前記リフレッシュアドレス信号に対応するメモリセルのリフレッシュを行うことを特徴としている。また、請求項21記載の発明は、請求項20記載の発明において、前記制御手段は、前記入力アドレス信号が変化したときから所定時間が経過したときに、入力されたアクセス要求が読み出し要求、書き込み要求のいずれであるのかを判定することを特徴としている。

【0040】また、請求項22記載の発明は、請求項1～21の何れかの項記載の半導体記憶装置をテストするテスト方法であって、前記複数のメモリセルから成るメモリセルアレイに所定のテストパターンを書き込むステップと、前記半導体記憶装置の内部で生成されるリフレッシュ要求によるリフレッシュを全て禁止するステップと、前記入力アドレス信号の変化のタイミングと前記半導体記憶装置へ入力リフレッシュ要求を与えるタイミングとを所定の時間関係に設定し、前記入力アドレス信号を変化させながら前記入力リフレッシュ要求を与えて、前記メモリセルアレイのリフレッシュを行うステップと、前記メモリセルアレイから読み出したデータを前記テストパターンと照合することで前記半導体記憶装置の良／不良を判定するステップとを有することを特徴としている。

【0041】また、請求項23記載の発明は、請求項22記載の発明において、前記変化のタイミングと前記入力リフレッシュ要求を与えるタイミングとの間の前記時

間関係を所定時間範囲にわたって可変させるステップをさらに有することを特徴としている。また、請求項24記載の発明は、請求項22又は23記載の発明において、前記時間関係を一定にしたまま、前記メモリセルアレイ上の全てのワード線に対して前記リフレッシュを順次行ってゆくステップをさらに有することを特徴としている。また、請求項25記載の発明は、請求項22～24の何れかの項に記載の発明において、前記入力アドレス信号を変化させるときに、前記入力アドレス信号の全ビットを同時に反転させることを特徴としている。

【0042】また、請求項26記載の発明は、リフレッシュを必要とする複数のメモリセルを備えた半導体記憶装置において、前記リフレッシュに必要となる装置内の各回路をスタンバイ状態において動作させるかどうかが回路毎に規定された複数種類のモードの中から選択したモードに従って、前記スタンバイ状態となったときに、前記リフレッシュに必要となる装置内の各回路を動作させ、あるいは、それらの動作を停止させる動作制御手段を具備することを特徴としている。また、請求項27記載の発明は、請求項26記載の発明において、前記複数のメモリセルで構成されるメモリセルアレイは、前記スタンバイ状態となったときに前記リフレッシュを行うかどうかが独立に制御される複数のメモリセルエリアに分割されており、前記動作制御手段は、前記メモリセルエリア及び該メモリセルエリアのリフレッシュに必要となる周辺回路からなるメモリプレート毎にそれぞれ設定された前記モードに応じて、前記メモリプレートの各々を動作させ、あるいは、その動作を停止させることを特徴としている。

【0043】また、請求項28記載の発明は、請求項27記載の発明において、前記メモリプレートの各々は、該メモリプレートを構成する前記メモリセルエリアおよび前記周辺回路に電源供給を行う電源手段をさらに備え、前記動作制御手段は、前記メモリプレート毎に設定された前記モードに応じて、前記メモリプレート毎に設けられた前記電源手段を動作させ、あるいは、その動作を停止させることを特徴としている。また、請求項29記載の発明は、請求項27記載の発明において、複数の前記メモリプレートに対して電源供給を行うために前記複数のメモリプレート間で共有された電源手段を備え、前記動作制御手段は、前記メモリプレート毎に設定された前記モードに応じて、前記電源手段から前記メモリプレートの各々に電源を供給するかどうかを前記メモリプレート毎に制御する複数のスイッチ手段を具備することを特徴としている。

【0044】また、請求項30記載の発明は、請求項27～29の何れかの項に記載の発明において、入力モード信号に応答して、前記モードを前記メモリプレート毎に設定するためのプログラム手段を具備することを特徴としている。また、請求項31記載の発明は、請求項3

0記載の発明において、前記プログラム手段は、入力されたアドレスをもとに該アドレスに対応したメモリセルエリアを備えたメモリプレートを特定し、前記入力モード信号により指定されたモードを該特定されたメモリプレートに対するモードとして設定することを特徴としている。

【0045】また、請求項32記載の発明は、請求項26～31の何れかの項に記載の発明において、前記リフレッシュに必要となる装置内の各回路は、前記リフレッシュの制御を行うリフレッシュ制御手段と、前記リフレッシュ制御手段および自身の電源手段を除いた所定の回路へ電源供給を行う電源手段とを有し、前記動作制御手段は、前記スタンバイ状態となったときに、前記リフレッシュ制御手段及び前記電源手段の双方を動作させる第1のモード、前記リフレッシュ制御手段の動作を停止させるとともに前記電源手段を動作させる第2のモード、前記リフレッシュ制御手段及び前記電源手段の双方の動作を停止させる第3のモードの中から選択されたモードに応じて、前記リフレッシュ制御手段及び前記電源手段を動作させ、あるいは、その動作を停止することを特徴としている。

【0046】また、請求項33記載の発明は、請求項32記載の発明において、前記動作制御手段は、所定のアドレスに対してモード毎に予め決められたデータの書き込み要求があったことに応答してモードの設定を行うことを特徴としている。また、請求項34記載の発明は、リフレッシュを必要とするメモリセルを選択する選択手段にアドレス信号を供給する制御回路であって、入力アドレス信号の変化に応答してリフレッシュアドレス信号を生成するリフレッシュアドレス生成手段と、前記リフレッシュアドレス信号を前記選択手段に出力してから前記入力アドレス信号を前記選択手段に出力するアドレス切換手段とを具備することを特徴としている。

【0047】また、請求項35記載の発明は、請求項34記載の発明において、前記アドレス切換手段は、前記入力アドレス信号のうち上位所定ビット以外のビットからなるページアドレスを変化させながら、前記上位所定ビットが同一である複数のメモリセルへ連続的にアクセスするためのアドレス信号を前記選択手段に出力することを特徴としている。また、請求項36記載の発明は、請求項34又は35に記載の発明において、前記リフレッシュアドレス生成手段は、前記入力アドレス信号または活性化信号に応答して前記リフレッシュアドレス信号を発生することを特徴としている。

【0048】また、請求項37記載の発明は、請求項34～36の何れかの項に記載の発明において、前記アドレス切換手段は、前記入力アドレス信号の変化を1回のトリガとして、前記リフレッシュアドレス信号を前記選択手段に出力してから前記入力アドレス信号を前記選択手段に出力することを特徴としている。また、請求項3

8記載の発明は、請求項34～37の何れかの項に記載の発明において、前記リフレッシュアドレス生成手段は、前記入力アドレス信号が所定時間にわたって変化していないときにセルフリフレッシュを起動させ、一定時間間隔で前記リフレッシュアドレス信号を生成することを特徴としている。

【0049】また、請求項39記載の発明は、請求項38記載の発明において、前記アドレス切換手段は、前記セルフリフレッシュによるリフレッシュが行われている最中に前記入力アドレス信号が変化したとき、前記リフレッシュが行われてから前記入力アドレス信号を前記選択手段に出力することを特徴としている。また、請求項40記載の発明は、請求項34～39の何れかの項記載の発明において、前記リフレッシュアドレス生成手段を少なくとも含み、前記リフレッシュの制御を行うリフレッシュ制御手段と、前記リフレッシュ制御手段、および、前記メモリセル及び前記選択手段を含む所定の回路に供給する電圧を発生させる電圧発生手段の双方に電源を供給する第1のモード、前記リフレッシュ制御手段に対する電源の供給を停止するとともに前記電圧発生手段に電源を供給する第2のモード、前記リフレッシュ制御手段及び前記電圧発生手段の双方に対する電源の供給を停止する第3のモードのうちの何れかのモードに切り換えるためのモード切換信号を発生するモード制御手段とをさらに備えたことを特徴としている。

【0050】また、請求項41記載の発明は、請求項40記載の発明において、前記モード制御手段は、モード毎に予め決められたデータを所定のアドレスに書き込むための書き込み要求に応答して前記モード切換信号を発生させることを特徴としている。また、請求項42記載の発明は、請求項34～41の何れかの項に記載の発明において、入力されるテストモード信号に応答して、入力リフレッシュ要求または前記入力アドレス信号の変化に基づいて生成される内部リフレッシュ要求の何れかを選択するリフレッシュ要求選択手段をさらに備え、前記アドレス切換手段は、選択されたリフレッシュ要求に応じて、前記入力アドレス信号を前記リフレッシュアドレス信号として前記選択手段に出力し、あるいは、前記リフレッシュアドレス信号をそのまま前記選択手段に出力することを特徴としている。

【0051】また、請求項43記載の発明は、請求項42記載の発明において、前記リフレッシュの最中に使われないピンを介して前記入力リフレッシュ要求を入力することを特徴としている。また、請求項44記載の発明は、請求項34～43の何れかの項に記載の発明において、前記リフレッシュアドレス生成手段は、前記リフレッシュを行う度に前記リフレッシュアドレス信号を更新することを特徴としている。また、請求項45記載の発明は、請求項34～44の何れかの項に記載の発明において、前記アドレス切換手段は、書き込み要求、読み出

し要求のいずれが入力されたかによらず、前記リフレッシュアドレス信号を前記選択手段に出力してから前記入力アドレス信号を前記選択手段に出力することを特徴としている。

【0052】また、請求項4 6記載の発明は、請求項3 4~4 4の何れかの項に記載の発明において、前記アドレス切換手段は、書き込み要求が入力されたときには、前記アドレス変化検出信号に応答して、前記リフレッシュアドレス信号を前記選択手段に出力してから前記入力アドレスを前記選択手段に出力し、読み出し要求が入力されたときには、前記アドレス変化検出信号に応答して、前記入力アドレス信号を前記選択手段に出力してから前記リフレッシュアドレス信号を前記選択手段に出力することを特徴としている。また、請求項4 7記載の発明は、請求項4 6記載の発明において、前記アドレス切換手段は、前記入力アドレス信号が変化したときから所定時間が経過したときに、入力されたアクセス要求が読み出し要求、書き込み要求のいずれであるのかを判定することを特徴としている。

【0053】また、請求項4 8記載の発明は、メモリセルのリフレッシュに必要となる各回路の動作を制御する制御回路であって、前記各回路をスタンバイ状態において動作させるかどうかが回路毎に規定された複数種類のモードの中から選択したモードに従って、前記スタンバイ状態となったときに、前記リフレッシュに必要となる各回路を動作させ、あるいは、それらの動作を停止させることを特徴としている。また、請求項4 9記載の発明は、請求項4 8記載の発明において、前記スタンバイ状態となったときに前記リフレッシュを行うかどうかが独立に制御されるメモリセルエリアと該メモリセルエリアのリフレッシュに必要となる周辺回路とからなるメモリプレート毎に設定された前記モードに応じて、前記メモリプレートの各々を動作させ、あるいは、その動作を停止させることを特徴としている。

【0054】また、請求項5 0記載の発明は、請求項4 9記載の発明において、前記メモリプレート毎に設定された前記モードに応じて、前記メモリセルエリアおよび前記周辺回路に電源供給を行うために前記メモリプレート毎に設けられた電源手段を動作させ、あるいは、その動作を停止させることを特徴としている。また、請求項5 1記載の発明は、請求項4 9記載の発明において、前記メモリプレート毎に設定された前記モードに応じて、複数の前記メモリプレートに対して電源供給を行うために前記複数のメモリプレート間で共有された電源手段から前記メモリプレートの各々に電源を供給するかどうかを制御する複数のスイッチ手段を具備することを特徴としている。

【0055】また、請求項5 2記載の発明は、請求項4 9~5 1の何れかの項に記載の発明において、入力モード信号に応答して、前記モードを前記メモリプレート毎

に設定するためのプログラム手段を具備することを特徴としている。また、請求項5 3記載の発明は、請求項5 2記載の発明において、前記プログラム手段は、入力されたアドレスをもとに該アドレスに対応したメモリセルエリアを備えたメモリプレートを特定し、前記入力モード信号により指定されたモードを該特定されたメモリプレートに対するモードとして設定することを特徴としている。

【0056】また、請求項5 4記載の発明は、請求項4 8~5 3の何れかの項に記載の発明において、前記スタンバイ状態となったときに、前記リフレッシュの制御を行うリフレッシュ制御手段と、前記リフレッシュ制御手段および自身の電源手段を除いた所定の回路へ電源供給を行う電源手段との双方を動作させる第1のモード、前記リフレッシュ制御手段の動作を停止させるとともに前記電源手段を動作させる第2のモード、前記リフレッシュ制御手段及び前記電源手段の双方の動作を停止させる第3のモードの中から選択したモードに応じて、前記リフレッシュ制御手段及び前記電源手段を動作させ、あるいは、その動作を停止させることを特徴としている。また、請求項5 5記載の発明は、請求項5 4記載の発明において、所定のアドレスに対してモード毎に予め決められたデータの書き込み要求があったことに応答してモードの設定を行うことを特徴としている。

【0057】

【発明の実施の形態】以下、図面を参照して本発明の実施形態について説明する。ただし、本発明は以下に述べる実施形態に限定されるものではなく、例えば、これら実施形態における構成要素同士を適宜組み合わせても良い。

【0058】〔第1実施形態〕図1は本実施形態による半導体記憶装置の構成を示すブロック図である。同図において、アドレスAddressは半導体記憶装置の外部から供給されるアクセスアドレスである。後述するメモリセルアレイが行列状に配列されていることに対応して、アドレスAddressは行アドレスおよび列アドレスを含んでいる。アドレスバッファ1はこのアドレスAddressをバッファリングして出力する。

【0059】ラッチ2は、ラッチ制御信号LCが“L”レベルである間(つまり、ラッチ制御信号LCが立ち下がったときから次に立ち上がるまでの間)はアドレスバッファ1から供給されているアドレスをそのまま内部アドレスL\_ADDとして出力する。また、ラッチ2はアドレスバッファ1から供給されているアドレスをラッチ制御信号LCの立ち上がりで取り込んでラッチ制御信号LCが“H”レベルである間これを保持するとともに、保持しているアドレスを内部アドレスL\_ADDとして出力する。

【0060】ATD(Address Transition Detector; アドレス変化検出)回路3はチップセレクト信号/CS

が有効（“L”レベル）な場合に、内部アドレスL\_ADDの何れか1ビットにでも変化があればアドレス変化検出信号ATDにワンショットのパルス信号を出力する。また、ATD回路3はチップセレクト信号/C\_Sが有効化された場合にも、アドレス変化検出信号ATDにワンショットパルスを発生させる。なお、チップセレクト信号/C\_Sは図1に示した半導体記憶装置をアクセスする場合に有効化される選択信号である。また、信号名の先頭に付与した記号“/”はそれが負論理の信号であることを意味する。

【0061】ここで、チップセレクト信号/C\_Sについてさらに詳述する。チップセレクト信号/C\_Sは半導体記憶装置（チップ）の選択／非選択を決定するための信号であって、特に、複数の半導体記憶装置から構成されるシステムにおいて、所望の半導体記憶装置を選択するために用いられる活性化信号である。以下の説明では、チップの選択／非選択を決める活性化信号としてチップセレクト信号を用いるが、本発明で使用可能な活性化信号はチップセレクト信号に限られるものではなく、これと同等の機能を持った信号であればどのような信号であっても良い。

【0062】このため、チップセレクト信号に代えて例えばチップイネーブル信号を用いることが考えられる。ただし、いわゆるチップイネーブル信号の中には、既存の疑似SRAMにおけるチップイネーブル信号のように、チップの活性化機能に加えてアドレスラッタキング制御機能を有するものがある。すなわち、【発明が解決しようとする課題】のところでも述べたように、既存の疑似SRAMでは、アドレス取り込みのタイミングを制御するためにチップイネーブル信号をクロック信号のように毎サイクル入力しているため、それによる消費電力の増加が問題となっている。

【0063】これに対して、本発明の半導体記憶装置は、内部動作のトリガとなる信号をクロック信号のように毎サイクル入力しなくとも動作可能であることを一つの特徴としている。こうしたことから、本発明でチップイネーブル信号を活性化信号として使用する場合には、チップの活性化機能を持ち、なおかつ、アドレスラッタキング制御機能を持たない信号を使用することになる。

【0064】リフレッシュ制御回路4はアドレスカウンタ（リフレッシュカウンタ）及びリフレッシュタイマを内蔵している。リフレッシュ制御回路4はこれらとアドレス変化検出信号ATD、書き込みイネーブル信号/W\_Eを利用して半導体記憶装置内部のリフレッシュを制御することで、リフレッシュアドレス及びリフレッシュタイミングを半導体記憶装置内部で自動的に発生させ、汎用のDRAMにおけるセルフリフレッシュと同様のリフレッシュ動作を実現している。ここで、アドレスカウンタはDRAMメモリセルをリフレッシュするためのリフ

レッシュアドレスR\_ADDを順次生成する。なお、リフレッシュアドレスR\_ADDはアドレスAddressに含まれる行アドレスと同じビット幅を持っている。

【0065】また、リフレッシュタイマは半導体記憶装置の外部から最後にアクセス要求があった時点からの経過時間を計時し、その経過時間が所定のリフレッシュ時間を越えた場合に、半導体記憶装置の内部でセルフリフレッシュを起動させるためのものである。のために、リフレッシュタイマはアドレス変化検出信号ATDが有効となる度にリセットされて計時を再開するように構成される。

【0066】このほか、リフレッシュ制御回路4はリフレッシュタイミングを制御するためのリフレッシュ制御信号REF\_A, REF\_Bを生成する。なお、これらリフレッシュ制御信号の意味については図2を参照して後述するものとし、また、これらリフレッシュ制御信号の詳細なタイミングについては動作説明で明らかにする。

【0067】マルチプレクサ（図中「MUX」）はアドレス変化検出信号ATD及び後述するリフレッシュ制御信号REF\_Bのレベルに応じて、アドレス変化検出信号ATDが“L”レベルかつリフレッシュ制御信号REF\_Bが“H”レベルであれば内部アドレスL\_ADDに含まれる行アドレス（煩雑であるため、単に「内部アドレスL\_ADD」という場合がある。）を選択してこれをアドレスM\_ADDとして出力する。一方、アドレス変化検出信号ATDが“H”レベルであるかまたはリフレッシュ制御信号REF\_Bが“L”レベルであれば、マルチプレクサはリフレッシュアドレスR\_ADDを選択してアドレスM\_ADDとして出力する。

【0068】次に、メモリセルアレイ6は汎用のDRAMで用いられているのと同様のメモリセルアレイであって、行方向、列方向にそれぞれワード線、ビット線（またはビット線対；以下同じ）が走っており、汎用のDRAMと同様の1トランジスタ1キャパシタから成るメモリセルがワード線及びビット線の交点の位置に行列状に配置されて構成されている。

【0069】ロウデコーダ7はロウイネーブル信号REが“H”レベルのときにアドレスM\_ADDをデコードし、このアドレスM\_ADDで指定されたワード線を活性化させる。なお、ロウイネーブル信号REが“L”レベルであるとき、ロウデコーダ7は何れのワード線も活性化させない。

【0070】カラムデコーダ8はカラムイネーブル信号CEが“H”レベルとなっているときに内部アドレスL\_ADDに含まれる列アドレスをデコードし、この内部アドレスL\_ADDで指定されたビット線を選択するためのカラム選択信号を生成する。なお、カラムイネーブル信号CEが“L”レベルであるとき、カラムデコーダ8はどのビット線に対応するカラム選択信号も生成することはない。

【0071】センスアンプ・リセット回路9は図示を省略したセンスアンプ、カラムスイッチ、プリチャージ回路から構成されている。このうち、カラムスイッチはカラムデコーダ8の出力するカラム選択信号で指定されたセンスアンプとバスWRBとの間を接続する。センスアンプはセンスアンプイネーブル信号SEが“H”レベルであるときに活性化されて、アドレスAddressで特定されるメモリセルの接続されたビット線電位をセンス・増幅してバスWRBに出力し、あるいは、バスWRBに供給された書き込みデータをビット線経由でメモリセルに書き込む。プリチャージ回路はプリチャージイネーブル信号PEが“H”レベルのときに活性化されて、ビット線の電位を所定電位（例えば電源電位の1/2）にプリチャージする。

【0072】I/O（入出力）バッファ10は、制御信号CWOのレベルに応じて同信号が“H”レベルであればバスWRB上の読み出しデータを出力バッファでバッファリングしてバスI/Oから半導体記憶装置の外部に出力する。また、I/Oバッファ10は同信号が“L”レベルであれば、出力バッファをフローティング状態として半導体記憶装置外部からバスI/Oに供給される書き込みデータを入力バッファでバッファリングしてバスWRBに送出する。つまり制御信号CWOが“H”レベルであれば読み出し、“L”レベルであれば書き込みである。

【0073】次に、R/W（Read/Write）制御回路11はチップセレクト信号/CS、書き込みイネーブル信号/WEおよび出力イネーブル信号OEに基づいて制御信号CWOを生成する。ここで、本発明による半導体記憶装置の仕様では、書き込みイネーブル信号/WEの立ち下がりエッジでデータの書き込み（取り込み）が開始し、書き込みイネーブル信号/WEの立ち上がりエッジでデータが確定し、書き込み（取り込み）が終了する。なお、制御信号CWOの切換タイミングは動作説明に譲る。

【0074】ラッチ制御回路12はアドレス変化検出信号ATD及びカラムイネーブル信号CEに基づいて、アドレスAddressのラッチタイミングを決める上述したラッチ制御信号LCを生成する。ロウ制御回路13はリフレッシュ制御信号REFA、リフレッシュ制御信号REFB、アドレス変化検出信号ATD及び書き込みイネーブル信号/WEに基づいて、ロウイネーブル信号RE、センスアンプイネーブル信号SE、プリチャージイネーブル信号PEおよび制御信号CCを生成する。カラム制御回路14はこの制御信号CCに基づいてカラムイネーブル信号CEを生成する。

【0075】ブースト電源15はメモリセルアレイ6内のワード線に印加される昇圧電位をロウデコーダ7に供給する電源である。また、基板電圧発生回路16はメモリセルアレイ6の各メモリセルが形成されたウエルまた

は半導体基板に印加される基板電圧を発生させる回路である。さらに、リファレンス電圧発生回路17はメモリセルアレイ6、センスアンプ・リセット回路9内のセンスアンプやプリチャージ回路・イコライズ回路が使用するリファレンス電圧（例えば電源電位の1/2=1/2Vcc）を発生させる。このリファレンス電圧の用途は主に次の3種類（①～③）あるが、現在ではダミーセルを設けない③の使い方が主流である。

【0076】① メモリセルを構成しているキャパシタの対極に印加される基準電圧（1/2Vcc）。

② ダミーセルを設ける場合に、メモリセルからビット線対の一方のビット線上に読み出された電位とダミーセルから他方のビット線上に読み出された電位（1/2Vcc）からメモリセルの保持データが“0”／“1”的何れかであるかをセンスアンプが判定する際の参照電位。

③ ダミーセルを設けない場合に、ビット線対のプリチャージ・イコライズ電圧として使用される基準電圧。この場合、一方のビット線にはメモリセルからの読み出し電圧が現れ、他方のビット線はセンス動作の開始直前にプリチャージ電圧（1/2Vcc）に設定される。

【0077】ここで、リフレッシュ制御回路4、ブースト電源15、基板電圧発生回路16及びリファレンス電圧発生回路17にはパワーダウン制御信号PowerDownが供給されている。このパワーダウン制御信号PowerDownは半導体記憶装置をパワーダウン状態（スタンバイ状態）にするときのモードを半導体記憶装置の外部から指定する信号である。リフレッシュ制御回路4、ブースト電源15、基板電圧発生回路16およびリファレンス電圧発生回路17は、後述するように、パワーダウン制御信号PowerDownに従ってそれぞれ自身に対する電源供給を制御するようにしている。

【0078】本実施形態ではメモリセル自体がDRAMと同様のものであるため、SRAMのようにスタンバイ状態において単純に半導体記憶装置内の回路各部への電源供給を止めることはできない。スタンバイ状態であってもメモリセルのデータを保持するために、リフレッシュ動作に必要となる回路へ電源を供給し続ける必要がある。つまり、本実施形態の半導体記憶装置はスタンバイ状態に関してはSRAMとの互換性を完全にとることはできない。しかしながら、その分本実施形態では、スタンバイ状態におけるモードを幾つか設けてSRAMとの互換性をできる限りとるとともに、既存の半導体記憶装置には存在しないようなモードも設けている。

【0079】すなわち、本実施形態ではリフレッシュ制御回路4、ブースト電源15、基板電圧発生回路16、リファレンス電圧発生回路17のうちの何れを動作させるかに応じて3種類のスタンバイモードを用意している。本明細書ではこれらのスタンバイモードを便宜上スタンバイモード1～3と呼ぶことにする。スタンバイモ

ード1は4種類の回路全てに電源を供給するモード、スタンバイモード2は4種類の回路のうちリフレッシュ制御回路4だけ電源供給を止めてこれ以外の3種類の回路には電源を供給するモード、スタンバイモード3は4種類の回路全てに対する電源供給を止めるモードである。

【0080】なお以上のようなことから、パワーダウン制御信号PowerDownを供給するための回路としては例えば、リフレッシュ制御回路4に電源を供給するための第1の電源供給線と、ブースト電源15、基板電圧発生回路16、リファレンス電圧発生回路17に電源を供給するための第2の電源供給線で構成すれば良い。

【0081】次に、各スタンバイモードについてさらに詳述すると、スタンバイモード1は通常のDRAMと同等の電源供給モードであって、3種類あるスタンバイモードの中では最も消費電流が大きい。しかし、この場合にはメモリセルのセルリフレッシュに必要な全ての回路へ電源が供給されたままになっている。このため、スタンバイ状態に移行する直前におけるメモリセルのデータが保持されているほか、半導体記憶装置をスタンバイ状態からアクティブ状態へ移行させるまでの時間が3種類のスタンバイモードの中では最も短い。なお、スタンバイモード1に設定するには第1の電源供給線及び第2の電源供給線の双方へ電源を供給すれば良い。

【0082】一方、スタンバイモード2ではセルリフレッシュに必要とされる回路に対して電源が供給されない。このため、スタンバイ状態においてメモリセルのデータを保持しておくことはできないが、その分スタンバイモード1に比べて消費電流を低減させることができる。つまりこのスタンバイモードは、スタンバイ状態でデータを保持しておくという既成概念から発想の転換を図ったものであって、スタンバイ状態からアクティブ状態に移行したのちに、メモリセルアレイ全体に対して書き込みを行える状態になってさえいれば良いことを前提としている。したがって、アクティブ状態に復帰した時点では、スタンバイ状態に移行した時点のメモリセルのデータは保持されていない。こうしたことから、スタンバイモード2と次に述べるスタンバイモード3は半導体記憶装置をバッファとして使用する場合などに適したモードである。なお、スタンバイモード2に設定するには、第1の電源供給線に電源を供給しないようにしてリフレッシュ制御回路4への電源供給を停止させるようとする。

【0083】他方、スタンバイモード3はブースト電圧、基板電圧、リファレンス電圧を立ち上げる必要があるため、スタンバイ状態からアクティブ状態に移行するまでの時間が3種類あるスタンバイモードの中で最も長くなるが、その分、スタンバイモードにおける消費電流を最も小さくすることができる。なお、スタンバイモード1～3の何れの場合においても、上述した4種類以外の回路については必要な回路だけに電源を供給すれば良

い。例えば、セルリフレッシュを行うだけであれば、アドレスバッファ1、ラッチ2、ATD回路3、カラムデコーダ8、I/Oバッファ10、R/W制御回路11、ラッチ制御回路12、カラム制御回路14等は使われないので電源供給を停止しても構わない。なお、スタンバイモード3に設定するには、第1の電源供給線及び第2の電源供給線の何れにも電源を供給しないようにして、リフレッシュ制御回路4、ブースト電源15、基板電圧発生回路16、リファレンス電圧発生回路17への電源供給をすべて停止させるようとする。

【0084】以上のようなスタンバイモードを設けることで、半導体記憶装置が適用される機器やその使用環境などに応じて、スタンバイ状態におけるデータ保持の要否、アクティブ状態への復帰時間、電流消費量などを半導体記憶装置外部からきめ細かく制御できるようになる。なお、パワーダウン制御信号PowerDownは必須の機能というわけではないことからこれを省略しても良く、そうすることで汎用のSRAMとI/Oピンの互換性を完全に保つことが可能となる。

【0085】次に、図2を参照して図1に示したATD回路3、ラッチ制御回路12、ロウ制御回路13及びカラム制御回路14の詳細回路構成について説明する。なお、図2において図1に示したものと同じ構成要素および信号名については同一の符号を付してある。

【0086】まずATD回路3について説明すると、インバータ31はチップセレクト信号/C Sを反転させてチップセレクト信号C Sを生成する。インバータ32、ディレイ回路33および NANDゲート(NAND)34は、チップセレクト信号C Sの立ち上がりからインバータ32及びディレイ回路33で与えられる遅延時間と同じ幅を持った負のワンショットパルスを生成する。

【0087】次に、内部アドレスL\_ADDiは図1に示す内部アドレスL\_ADDのうちの特定の1ビットである。NANDゲート35はチップセレクト信号C Sが有効であるとき、インバータ36を通じてインバータ37、ディレイ回路38及びNANDゲート39から成る回路へ内部アドレスL\_ADDiを供給する。これにより、内部アドレスL\_ADDiの立ち上がりからインバータ37及びディレイ回路38で与えられる遅延時間と同じ幅を持った負のワンショットパルスを生成する。同様にして、インバータ40、ディレイ回路41及びNANDゲート42から成る回路は、内部アドレスL\_ADDiの立ち下がりからインバータ40及びディレイ回路41で与えられる遅延時間と同じ幅を持った負のワンショットパルスを生成する。

【0088】NANDゲート43及びインバータ44は、チップセレクト信号C Sの立ち上がり、内部アドレスL\_ADDiの立ち上がり又は立ち下がりの何れかによって生成されたワンショットパルスを合成して得られる正のワンショットパルスを出力する。ディレイ回路45、ノア(NOR)ゲート46及びインバータ47は、インバ

タ44から出力される個々のワンショットパルスのパルス幅をディレイ回路45で与えられる遅延時間だけ延ばすためのものである。そうして以上のような回路ブロックが内部アドレスL\_ADDのビット数分だけ設けられている。オア(OR)ゲート48は、内部アドレスL\_ADDiの全ビットについて生成されるワンショットパルスを合成し、これをアドレス変化検出信号ATDとして出力する。

【0089】このように、本実施形態では内部アドレスL\_ADDiの各ビットの変化からワンショットパルスをそれぞれ生成するとともに、それらワンショットパルスの論理和をとって合成するようにしている。このようにしているのは次のような理由によるものである。いま仮に、アドレスAddressの何れかのビットが変化する度にアドレス変化検出信号ATDにワンショットパルスを発生させようになると、アドレスAddressにスキーが含まれているときに複数個のアドレス変化検出信号が生成されてしまう。

【0090】そうすると、【発明が解決しようとする課題】のところでも説明したように、これらアドレス変化検出信号ATDによって複数のワード線が同時に活性化されてしまう。このため、複数のメモリセルに対して書き込みが行われ、あるいは、複数のメモリセルからの読み出しが同時に行われて再書き込みされるため、結果的にメモリセルのデータが破壊されてしまう。

【0091】そこで本実施形態では、アドレスAddressの各ビットのうち最初に変化があったビットについてまずワンショットパルスを発生させ、この最初のワンショットパルスが発生している期間中に他のビットに変化があった場合は、既に発生しているワンショットパルスと新たに発生したワンショットパルスを合成するようにしている。こうすることで、アドレスAddressにスキーが含まれていても、ワンショットパルスのパルス幅がアドレスAddressに含まれるスキー分だけ長くなるにとどまり、1回分のアドレス変化で複数のワンショットパルスが発生してしまうことはなくなる。このため、メモリセルのデータの破壊といった上述のような問題が生じる恐れもなくなる。

【0092】なお、以上のようにするための条件としては、アドレスAddressに含まれているスキーがアドレス変化検出信号ATDのパルス幅の範囲内に収まるように、ディレイ回路33, 38, 41, 45などの遅延時間を決定すれば良い。ちなみに、スキーが大きい場合には発生するワンショットパルスのパルス幅をそれだけ広くする必要がある。このため、アドレス変化検出信号ATDが立ち下がるのがスキー分だけ遅れてアクセスタイムが大きくなることが懸念される。しかし、汎用SRAMの仕様上、アクセスタイムはアドレスAddressが確定した時点を基準とした値になっているため、アドレスAddressの各ビットのうち最後に変化したビットから

のアクセスタイムが保証されていさえれば、動作遅れとはならない。

【0093】また、動作説明の際に後述する通り、アドレス変化検出信号ATDのワンショットパルスが発生している間にリフレッシュが行われるため、このワンショット信号のパルス幅は1ワード線分のリフレッシュを完了させるのに必要な時間以上に設定しておくのが望ましい。したがって、上述したスキーを考慮した条件に加えてリフレッシュを考慮した条件も満足するようにディレイ回路33, 38, 41, 45の遅延時間を決定すれば良い。また、リフレッシュが完了した直後にアドレス変化検出信号ATDのワンショットパルスを立ち下げるようすれば、それに引き続いてアドレスAddressに対する読み出し/書き込みのアクセスがなされることになる。

【0094】次に、ロウ制御回路13について説明すると、インバータ30はアドレス変化検出信号ATDを反転させてアドレス変化検出信号/ATDを生成する。また、ディレイ回路49, ノアゲート50, インバータ51, ディレイ回路52, ナンドゲート53, ナンドゲート54から成る回路は、書き込みイネーブル信号/WE又はアドレス変化検出信号ATDをもとに、半導体記憶装置外部から要求されたアクセスに必要となるロウイネーブル信号RE, センスアンプイネーブル信号SE, カラムイネーブル信号CE, プリチャージイネーブル信号PE, ラッチ制御信号LCを発生させるための回路である。

【0095】これらのうち、ディレイ回路49, ノアゲート50, インバータ51から成る回路は、内部アドレスL\_ADDi又はチップセレクト信号/CSの変化でアドレス変化検出信号ATDが“H”レベルになる以前に書き込みイネーブル信号/WEが“L”レベルとなった場合であっても、ロウイネーブル信号RE, センスアンプイネーブル信号SE, カラムイネーブル信号CE, プリチャージイネーブル信号PE, ラッチ制御信号LCにパルスが順次発生してしまう不具合の無いようにするためのものである。

【0096】そのためには、アドレス変化検出信号ATDが立ち上がってインバータ30からナンドゲート54へ“L”レベルが供給されたのちに、書き込みイネーブル信号/WEがノアゲート50, インバータ51, ナンドゲート53を通じてナンドゲート54へ供給されるようすれば良い。そこで、書き込みイネーブル信号/WEをディレイ回路49で遅延させた信号と書き込みイネーブル信号/WEそのものをノアゲート50, インバータ51で論理和するとともに、ディレイ回路49の遅延時間を調整して上記不具合が起こらない程度に書き込みイネーブル信号/WEの立ち下がりを遅らせている。なお、上記回路では、書き込みイネーブル信号/WEの立ち上がりに対応してインバータ51の出力も立ち上がる

ようになっているため、書き込みイネーブル信号／WEが“H”レベルとなったときに直ちにリセット動作へ移行することが可能である。

【0097】次に、ディレイ回路52、 NANDゲート53、 NANDゲート54から構成される回路は、書き込みでない場合（つまり、書き込みイネーブル信号／WEが“H”レベルであってインバータ51からNANDゲート53に“H”レベルが供給される場合）、アドレス変化検出信号ATDの立ち下がりエッジからロウイネーブル信号REにワンショットパルスを発生させる。また、この回路はアドレス変化検出信号ATDが“L”レベルのときに書き込み要求がある間、ロウイネーブル信号RE、センスアンプイネーブル信号SE、カラムイネーブル信号CE、プリチャージイネーブル信号PE、ラッチ制御信号LCを“H”レベルに維持する働きもしている。すなわち、アドレス変化検出信号ATDが“L”レベルであれば、インバータ30からNANDゲート53及びNANDゲート54には“H”レベルが供給される。したがって、このときにインバータ51から出力される書き込みイネーブル信号／WEが“L”レベルであれば、NANDゲート53、 NANDゲート54、 NANDゲート65を通じてロウイネーブル信号REが“H”レベルのままとなる。

【0098】そして、NANDゲート54の出力はインバータ55～58で遅延されてから制御信号CCとして出力される。この制御信号CCはカラム制御回路14を構成しているインバータ59～61でさらに遅延されてカラムイネーブル信号CEとなる。また、ロウ制御回路13において、インバータ62、ディレイ回路63及びNANDゲート64からなる回路はリフレッシュに必要となるロウイネーブル信号RE、センスアンプイネーブル信号SE、プリチャージイネーブル信号PEを発生させるための回路である。すなわちこの回路は、リフレッシュ制御信号REFAが“H”レベルの場合に、アドレス変化検出信号ATDの立ち上がりからインバータ62及びディレイ回路63で与えられる遅延時間に相当するパルス幅を持った負のワンショットパルスを生成する。そして、NANDゲート65はリフレッシュ制御信号REFB、NANDゲート54及びNANDゲート64の出力を合成し、これをロウイネーブル信号REとして出力する。

【0099】なお、リフレッシュ制御信号REFAは半導体記憶装置の外部からのアクセス要求に付随してリフレッシュを行うか否か制御するための信号である。すなわち、同信号が“H”レベルであれば、当該アクセス要求により生じるアドレス変化検出信号ATDの立ち上がりでロウイネーブル信号REにワンショットパルスを発生させてリフレッシュを起動する。これに対して同信号が“L”レベルであれば、アドレス変化検出信号ATDにワンショットパルスが発生していても、ロウイネーブル信号REにワンショットパルスを発生させることはな

い。

【0100】ここで、本実施形態では、アドレス変化検出信号ATDの発生をトリガとするリフレッシュ動作として以下の実現形態を前提に説明を行う。すなわち本実施形態では、読み出し又は書き込みに伴うリフレッシュ動作が連続する場合、これら各メモリサイクルでリフレッシュを連続的に行ってゆくことで、メモリセル全体をリフレッシュする。そして、全てのメモリセルをリフレッシュした時点で、いったんリフレッシュを発生させない状態とする。その後、メモリセルのデータを保持できる限界の状態（セルホールドリミット）に近づいたときにこれを検出し、連続するメモリサイクルで連続的にリフレッシュを行ってゆく状態に再び移行する。

【0101】リフレッシュ制御信号REFAを立ち上げる要因としては、外部からのアクセス要求に伴うリフレッシュによって1リフレッシュサイクル分のリフレッシュが完了したものの、次のリフレッシュサイクルのリフレッシュを起動するにはまだ時間がある場合、あるいは、セルフリフレッシュを起動させたためにこれが完了するまでは外部からのアクセス要求に伴うリフレッシュを行う必要がなくなった場合である。

【0102】ここで、リフレッシュ制御信号REFAを生成するには、リフレッシュ制御回路4内部にリフレッシュ制御信号REFAを保持するラッチ回路を設けて、アドレス変化検出信号ATD及びリフレッシュタイマの出力信号によってこのラッチ回路のセット・リセットを制御する構成などが考えられる。具体的には、リフレッシュ動作が必要になる（セルホールドリミットの）少し前のタイミングをリフレッシュタイマで生成し、その出力信号に基づいてリフレッシュ制御回路4の内部でラッチ回路のセット信号を生成してラッチ回路をセットし、リフレッシュ制御信号REFAに“H”レベルを出力する。なお、セット信号を生成するタイミングはサイクルタイムの最大値を目安にして決めるようとする。その後、ロウ制御回路13が、アドレス変化検出信号ATD、または、リフレッシュ制御信号REFAに基づいて発生するリフレッシュ制御信号REFBをトリガとして、ワード線単位でメモリセルのリフレッシュ動作を行ってゆく。そして、全てのメモリセルのリフレッシュ動作が行われたときに、リフレッシュ制御回路4内部でラッチ回路のリセット信号を生成してラッチ回路をリセットし、リフレッシュ制御信号REFAに“L”レベルを出力する。

【0103】なお、ラッチ回路のリセットは、最後のワード線をリフレッシュするリフレッシュサイクルで、リフレッシュ動作の終わる時間に合わせて行えば良い。あるいは、リフレッシュ動作を完了させたときにロウ制御回路13がリフレッシュ動作完了信号を生成するようにし、リフレッシュ制御回路4がこのリフレッシュ動作完了信号を最後のワード線に対するリフレッシュサイクル

で受け取ったときにラッチ回路をリセットするようにしても良い。ただし、後述する図7の場合を考慮して、リフレッシュ制御信号REF Aを立ち上げたときから、この立ち上がりののちに最初に行われるリフレッシュが終了するときまでの間に、アドレス変化検出信号ATDが発生する(図8を参照)か書き込みイネーブル信号/WEが入力される(図10, 図11を参照)かしていなければ、この最初のリフレッシュが終了した後にラッチ回路をリセットする。

【0104】一方、リフレッシュ制御信号REF Bはセルフリフレッシュのための信号である。すなわち、リフレッシュ制御信号REF Bに負のワンショットパルスを与えることで、 NANDゲート54及び NANDゲート64の出力に関係なくロウイネーブル信号REへ強制的にワンショットパルスを発生させてセルフリフレッシュを起動することが可能である。

【0105】ここで、リフレッシュ制御信号REF Bを生成するには、リフレッシュ制御信号REF Aを遅延させる遅延回路と負のワンショットパルスを発生させるパルス発生回路とをリフレッシュ制御回路4内部に設けて、パルス発生回路から負のワンショットパルスを発生させるタイミングを遅延回路で遅延させたリフレッシュ制御信号REF Aとアドレス変化検出信号ATDとで制御する構成などが考えられる。

【0106】通常、リフレッシュ制御信号REF Bは"H"レベルとなっている。この状態でリフレッシュ制御信号REF Aが立ち上げられて"H"レベルとなった場合に、このリフレッシュ制御信号REF Aの立ち上がりを遅延回路で所定時間遅延させ、この遅延の間にアドレス変化検出信号ATDが発生しなかったときには、遅延されたリフレッシュ制御信号REF Aの立ち上がりでパルス発生回路を起動し、リフレッシュ制御信号REF Bに負のワンショットパルスを出力させる。

【0107】上記所定時間の遅延は、アドレス変化検出信号ATDを発生させるトリガが外部から与えられないためにメモリセルのリフレッシュに要求されるリミットの時間になってしまふまでを計測するためのものである。また、後述(図11を参照)するように、上記遅延の間に書き込みイネーブル信号/WEが立ち下げられた場合には書き込みを行ってからセルフリフレッシュを行うため、この書き込みに要する時間も考慮に入れて、上記リフレッシュ制御信号REF Aを立ち上げるタイミング及び上記所定時間の遅延を設定する。

【0108】なお、本発明は上述したリフレッシュ動作の実現形態に限定されるものではなく、例えば、メモリセルを所定本数のワード線毎(すなわち、1ワード線毎あるいは複数ワード線毎)に一定周期でリフレッシュするような形態としても良い。この場合、リフレッシュ制御信号REF Bを発生させる回路構成は上述したものと同じで良いが、リフレッシュ制御信号REF Aを発生さ

せるための回路構成は例えば次のようになる。まず、リフレッシュタイマはリフレッシュを起動するためのトリガ信号を一定周期で発生させる。次に、上記の場合と同様にして、リフレッシュ制御回路4内部にラッチ回路を設け、リフレッシュタイマの出力するトリガ信号に基づいて、リフレッシュ動作が必要になる少し前のタイミングで発生させたセット信号によりラッチ回路をセットしてリフレッシュ制御信号REF Aを"H"レベルにする。なお、この場合も、ラッチ回路をセットするタイミングはサイクルタイムの最大値を目安にして決定する。

【0109】その後、アドレス変化検出信号ATDまたはリフレッシュ制御信号REF Bを受けたロウ制御回路13がメモリセルに対するリフレッシュ動作を完了させるタイミングに合わせて、リフレッシュ制御回路4は発生させたリセット信号でラッチ回路をリセットし、リフレッシュ制御信号REF Aを"L"レベルとする。なお、この場合のラッチ回路のリセットは、ラッチ回路をセットしたときから一定時間遅れたタイミングで行えば良い。あるいは、ロウ制御回路13がリフレッシュ動作を完了させたときにリフレッシュ動作完了信号を生成するようにして、リフレッシュ制御回路4がこのリフレッシュ動作完了信号を受け取ったときにラッチ回路をリセットしても良い。ちなみにこの形態では、アドレス変化検出信号ATDをトリガとするリフレッシュ動作が終了すると、各メモリサイクルでリフレッシュ制御信号REF Aが立ち下がるようになる。このリフレッシュ制御信号REF Aの信号波形は、例えば図4に示されているリフレッシュサイクルのときの信号波形と同じものになる。

【0110】次に、インバータ66~69はロウイネーブル信号REを遅延させてセンスアンプイネーブル信号SEを生成する。また、インバータ70, 71はインバータ68の出力をさらに遅延させることによって、ロウイネーブル信号REをインバータ5段分遅延させた負のワンショットパルスを生成する。インバータ72, ディレイ回路73, NANDゲート74及びインバータ75からなる回路は、ロウイネーブル信号REをインバータ5段分遅延させた信号の立ち上がりからインバータ72及びディレイ回路73で与えられる遅延時間分のパルス幅を持ったワンショットパルスを発生させ、これをプリチャージイネーブル信号PEとして出力する。つまり、プリチャージイネーブル信号PEのワンショットパルスはロウイネーブル信号REの立ち下がりに対応して生じることになる。

【0111】次に、ラッチ制御回路12において、インバータ76, インバータ77, ディレイ回路78, NANDゲート79及びインバータ80からなる回路は、カラムイネーブル信号CEの立ち下がりからインバータ77及びディレイ回路78の遅延時間に相当する幅を持った正のワンショットパルスを発生させる。nチャネルのトランジスタ81は、インバータ80からワンショットパ

ルスが供給されることでラッチ制御信号LCを接地電位に接続して“L”レベルとする。また、ループ状に接続されたインバータ82, 83はラッチ制御信号LCを保持するためのラッチ84を構成しており、トランジスタ81がオンすることによってラッチ84の保持する値が“0”にリセットされる。

【0112】また、インバータ85, インバータ86, ディレイ回路87, ナンドゲート88及びインバータ89から成る回路は、アドレス変化検出信号ATDの立ち下がりからインバータ86及びディレイ回路87の遅延時間に相当する幅を持った正のワンショットパルスを発生させる。nチャネルのトランジスタ90は、インバータ89からワンショットパルスが供給されることでインバータ82の入力端子を接地電位に接続する。これによってラッチ制御信号LCが“H”レベルになるとともにラッチ84の保持する値が“1”にセットされる。つまり、ラッチ制御信号LCはアドレス変化検出信号ATDの立ち下がりからカラムイネーブル信号CEの立ち下がり時点まで“H”レベルとなる信号である。

【0113】次に、上記構成による半導体記憶装置の動作を場合分けして順次説明する。(リフレッシュを伴う読み出し)まず最初に図3のタイミングチャートを参考しつつ、読み出しアドレスを順次変えてゆくことで読み出しに伴ってリフレッシュが行われてゆく場合の動作について説明する。なお、図3では、アドレス変化検出信号ATDの発生をトリガとしたリフレッシュ動作を各メモリサイクルで連続的に行うときのタイミングを示してある。このため、リフレッシュ制御信号RE\_FA, RE\_FBは何れも“H”レベルに固定されており、図3にはこれらの信号を特に示していない。また、この場合は読み出しあることから書き込みイネーブル信号/WEは“H”レベルのままとなる。さらに、図3に示した「Rx\_Word」はリフレッシュアドレスR\_ADDに対応するワード線のことであり、「Ax\_Word」はアドレスAddressに対応するワード線のことである。また、同図では、図3に示したよりも以前からリフレッシュアドレスR\_ADDの値が“R1”になっているものとする。

【0114】まず時刻t1になると、アドレスAddressがそれまでの値から“A1”に変化を開始するとともにチップセレクト信号/CSが有効化される。このとき、後述する説明から明らかのようにラッチ制御信号LCは“L”レベルになっている。そのため、アドレスAddressはアドレスバッファ1でバッファリングされ、ラッチ2をスルーで通過して内部アドレスL\_ADDとなってATD回路3に供給される。もっとも、アドレスAddressにはスキーが含まれる可能性があるため、汎用SRAMの場合と同じくこの時点でのアドレスAddressの値が確定しているとは限らない。

【0115】このため、時刻t1でラッチ2にアドレスの取り込みを行うことはできないが、この後にラッチ制

御信号LCが“H”レベルとなるまでにはその値が“A1”に確定することから、そうなった時点でラッチ2に取り込みを行うことになる。こうしたことから本実施形態では、半導体記憶装置外部から供給されるアドレスAddressの値が確定していない待機期間をリフレッシュに充てることにして、汎用SRAMでは内部動作が行われていない待機期間を有効利用するようしている。

【0116】次に、アドレスAddress(=内部アドレスL\_ADD)が変化したことで、時刻t2になるとATD回路3はアドレス変化検出信号ATDにワンショットパルスを発生させる。アドレス変化検出信号ATDが立ち上がると、マルチプレクサ5はリフレッシュアドレスR\_ADD側を選択するようになり、時刻t3でアドレスM\_ADDの値が“R1”となる。また、アドレス変化検出信号ATDが立ち上がったことで、ロウ制御回路13は時刻t4からロウイネーブル信号REにワンショットパルスを発生するようになる。

【0117】すると、ロウイネーブル信号REが立ち上がったことで、ロウデコーダ7はアドレスM\_ADDの値“R1”をデコードし、時刻t5になるとワード線Rx\_Wordを活性化させる。その結果、メモリセルアレイ6ではワード線Rx\_Wordに接続されたメモリセルの保持データがビット線上の電位として現れるようになる。一方、ロウイネーブル信号REにワンショットパルスが発生したこと、時刻t6になるとセンスアンプイネーブル信号SEにもワンショットパルスが生成される。これにより、センスアンプ・リセット回路9内のセンスアンプが活性化され、ワード線Rx\_Wordに接続された各メモリセルのリフレッシュが行われる。なお、リフレッシュ自体はDRAMで行われているものと全く同じであって周知の技術事項であるため、ここでは詳しく説明することはしない。

【0118】この後、時刻t7でロウイネーブル信号REに発生したワンショットパルスが立ち下がるとロウデコーダ7がワード線Rx\_Wordを非活性化させるため、時刻t8でワード線Rx\_Wordが非活性化される。またロウ制御回路13は時刻t9になると、先の時刻t7でロウイネーブル信号REが立ち下がったことを受けてセンスアンプイネーブル信号SEを立ち下げる。このため、リフレッシュを終えたセンスアンプ・リセット回路9内のセンスアンプが非活性化される。また、ロウ制御回路13はロウイネーブル信号REの立ち下がりを受けて時刻t10でプリチャージイネーブル信号PEにワンショットパルスを発生させる。

【0119】これにより、センスアンプ・リセット回路9内のプリチャージ回路は次のアクセスに備えてビット線をプリチャージする。なお、リフレッシュの過程ではメモリセルのデータを半導体記憶装置外部へ出力する必要がないことから、読み出しの場合とは異なって、ロウイネーブル信号REにワンショットパルスが生成されて

もカラムイネーブル信号C\_Eにはワンショットパルスを発生させないようにしている。このため、カラムデコーダ8はカラム選択信号を何れも非活性状態のままとし、図示したように例えばカラム選択信号Y\_j (A\_x)は“L”レベルのままとなる。

【0120】次に、時刻t11でアドレス変化検出信号A\_TDのワンショットパルスが立ち下がると、図3には示していないが出力イネーブル信号O\_Eが有効になる。そこで、R/W制御回路11はメモリセルからの読み出しに備えて制御信号C\_WOを“H”レベルにする。また、I/Oバッファ10はバスWRBを介してセンサアンプ・リセット回路9が出力するデータをバスI/Oへ送出するようになる。もっとも、この時点ではまだバスWRB上のデータは確定していない。さらに、アドレス変化検出信号A\_TDが立ち下がったことを受けて、リフレッシュ制御回路4は時刻t12になった時点でリフレッシュアドレスR\_ADDを更新してその値を“R1+1”にする。

【0121】なお、先にリフレッシュアドレスR\_ADDの値が“R1”であることを想定していたが、この値もいま説明したのと同様にアドレス変化検出信号A\_TDの立ち下がりを契機としてリセット時のデータ“0”から順次更新されてきたものである。また、アドレス変化検出信号A\_TDの立ち下がりを受け、同じ時刻t12においてマルチブレクサ5は内部アドレスL\_ADD側を選択するようになる。この時点になると上述したようにアドレスAddressの値が確定しているため、その値“A1”がアドレスM\_ADDとして出力されるようになる。

【0122】次に、時刻t13になると、先の時刻t7におけるロウイネーブル信号R\_Eの立ち下がりに対応して、プリチャージイネーブル信号P\_Eのワンショットパルスが立ち下がってセンサアンプ・リセット回路9内のプリチャージ回路がプリチャージを終了させる。一方、先の時刻t11でアドレス変化検出信号A\_TDが立ち下がったことを受けて、ラッチ制御回路12は時刻t14になるとラッチ制御信号L\_Cを立ち上げる。そのため、これ以後はアドレスAddressが変化しても、ラッチ制御信号L\_Cが再び立ち下がるまでの間、ラッチ2は内部アドレスL\_ADD（したがってアドレスM\_ADD）の値を保持するようになる。

【0123】同様にして、アドレス変化検出信号A\_TDの立ち下がりを受けて、ロウ制御回路13は時刻t15でロウイネーブル信号R\_Eにワンショットパルスを発生させる。これにより、ロウデコーダ7は時刻t16で今度はアドレス“A1”に対応するワード線Ax\_Wordを活性化させ、それによって当該ワード線に接続されたメモリセルの保持データがビット線上の電位として現れるようになる。次に、ロウイネーブル信号R\_Eの立ち上がりに対応して、ロウ制御回路13は時刻t17でセンサアンプイネーブル信号S\_Eにワンショットパルスを発生さ

せる。このため、センサアンプ・リセット回路9内のセンサアンプはワード線Ax\_Wordに接続された各メモリセルのデータをセンスして、ビット線上の電位を“0”／“1”の論理レベル（即ち、接地電位または電源電位）まで増幅する。

【0124】また、ロウイネーブル信号R\_Eのワンショットパルスに対応するように、ロウ制御回路13は制御信号C\_Cにワンショットパルスを発生させてカラム制御回路14に出力する。カラム制御回路14は制御信号C\_Cに基づいて時刻t18でカラムイネーブル信号C\_Eにワンショットパルスを発生させる。こうしてカラムイネーブル信号C\_Eが“H”レベルとなると、カラムデコーダ8は内部アドレスL\_ADDに含まれた列アドレスをデコードし、時刻t19で当該列アドレスに対応するカラム選択信号（図3に示したY\_j (A\_x)を参照）にワンショットパルスを発生させる。この結果、センサアンプ・リセット回路9内のセンサアンプのうち、当該列アドレスに対応するセンサアンプの出力が選択されてバスWRBに接続される。

【0125】次に、時刻t20になるとロウ制御回路13はロウイネーブル信号R\_Eを立ち下げる事から、ロウデコーダ7は時刻t21でワード線AX\_Wordを非活性化させる。また、時刻t22になると先に選択されたセンサアンプのセンス結果がバスWRB上に現れるようになる。また同時刻では、先にロウイネーブル信号R\_Eが立ち下がったことに対応して、ロウ制御回路13はセンサアンプイネーブル信号S\_Eを立ち下げてセンサアンプ・リセット回路9内のセンサアンプによるセンス動作を終了させる。

【0126】また、先にロウイネーブル信号R\_Eが立ち下がったことに対応してロウ制御回路13が制御信号C\_Cを立ち下げる事、カラム制御回路14はカラムイネーブル信号C\_Eを立ち下げる。このため、カラムデコーダ8は時刻t23でカラム選択信号（図中のY\_j (A\_x)）を無効化する結果、選択されていたセンサアンプ・リセット回路9内のセンサアンプとバスWRBの間が切り離される。また、ほぼ同じ時刻において、I/Oバッファ10はバスWRB上に読み出されたメモリセルのデータDout (A1)をバスI/O経由で半導体記憶装置外部に出力する。

【0127】次に、時刻t24になると、ロウ制御回路13は先にロウイネーブル信号R\_Eが立ち下がったことに対応してプリチャージイネーブル信号P\_Eを立ち上げ、次のアクセスに備えてビット線を再びプリチャージする。また同時刻において、ラッチ制御回路12はカラムイネーブル信号C\_Eが立ち下がったことを受けてラッチ制御信号L\_Cを“L”レベルにする。次いで時刻t25になると、ロウ制御回路13は先の時刻t20でロウイネーブル信号R\_Eが立ち下がったことに対応するよう、時刻t25でプリチャージイネーブル信号P\_Eを立

ち下げる。このため、センスアンプ・リセット回路9内のプリチャージ回路はビット線のプリチャージを終了させる。

【0128】これ以後の動作は上述した時刻t1～t25における動作と全く同様であって、時間Tcycleを単位としたサイクル動作が繰り返し行われる。すなわち、アドレスAddressとして“A2”が与えられると、アドレスAddressの変化に対応してアドレス変化検出信号ATDにワンショットパルスが出力され、アドレス“R1+1”についてリフレッシュが行われたのち、リフレッシュアドレスが“R1+2”に更新されるとともに、アドレス“A2”に対応するメモリセルが読み出されてデータDout(A2)がバスI/Oを通じて外部に出力される。

【0129】その後、アドレスAddressとして“A3”が与えられると、アドレスAddressの変化に対応してアドレス変化検出信号ATDとしてワンショットパルスが出力され、アドレス“R1+2”的リフレッシュが行われたのち、リフレッシュアドレスが“R1+3”に更新されるとともに、アドレス“A3”に対応するメモリセルが読み出されてデータDout(A3)がバスI/Oを通じて外部に出力される。

【0130】以上のように本実施形態では、アドレスAddressが変化したときに、内部のアドレスカウンタで決まるリフレッシュアドレスに対してリフレッシュを先行実施してからアドレスAddressについて通常のアクセスを行っている。これは、この後に説明する書き込み時の場合を考慮に入れているためである。すなわち、非同期型の汎用のSRAMでは書き込みイネーブル信号/WEがアドレスAddressの変化に対して遅れて非同期的に有効となる。

【0131】このため、第1の従来例や第2の従来例などのように通常のアクセスを処理してからリフレッシュを行う構成によると、書き込みイネーブル信号/WEが早いタイミングで有効化されるのであれば、書き込みが完了してからリフレッシュが開始されるので特に問題はない。しかるに、書き込みイネーブル信号/WEがさらに遅れて有効化された場合には、書き込み動作とリフレッシュ動作が重なってしまうことがある。そこで、こうした場合にはリフレッシュが完了するまで書き込みを遅らせなければならないが、そのようにすることでタイミング制御が複雑化して回路規模が増大する上、論理設計もそれだけ困難になってしまう。したがって、所定の時間Tcycle内にリフレッシュと書き込みを完了させるためには、書き込みよりもリフレッシュを先に行う構成にすべきであって、それによって回路規模を縮減できるとともに論理設計自体も簡単になる。

【0132】(リフレッシュを伴わない読み出し)次に、リフレッシュ制御回路4内のリフレッシュタイムでリフレッシュを制御する場合の動作例を図4のタイミング

グチャートに示す。同図では、アドレス変化検出信号ATDの発生をトリガとしたリフレッシュ動作を各メモリサイクルで連続的に行う状態から、こうしたリフレッシュ動作を行わない状態へ移行する切り替わりのタイミングを示してある。このため、図3ではリフレッシュ制御信号REF\_Aが“H”レベルのままであったのに対して、図4では1リフレッシュサイクル分のリフレッシュが完了した時刻t12～t14の間でリフレッシュ制御回路4内のラッチ回路をリセットしてリフレッシュ制御信号REF\_Aを立ち下げている。なお、1リフレッシュサイクル分のリフレッシュとは全てのワード線について1回ずつリフレッシュすることを指すものとする。ちなみに、リフレッシュ制御信号REF\_Bは図3の場合と同様に“H”レベルのままでいる。

【0133】メモリセルアレイの構成や容量にも依存するが、1リフレッシュサイクル分のリフレッシュは数ms～数十ms程度の所定時間内で実施すれば良く、アドレスAddressが変化する度に必ずリフレッシュを行わなければならないわけではない。したがって、図3に示したように外部からのアクセスに伴ってリフレッシュを行ってゆくことで1リフレッシュサイクル分のリフレッシュを実施したのであれば、次のリフレッシュサイクルのリフレッシュを開始するまでは、リフレッシュ制御信号REF\_Aを立ち下げてリフレッシュを停止させている。こうすることで、余分なリフレッシュが行われなくなつて消費電力を削減することができる。

【0134】以上から分かるように、図4の場合はアドレス“R1”に対するリフレッシュによって1リフレッシュサイクル分のリフレッシュが完了した場合について、その前後におけるタイミング波形を示したものである。リフレッシュ制御信号REF\_Aが“L”レベルになることで、ロウ制御回路13はアドレス変化検出信号ATDが立ち上がってもロウイネーブル信号REにワンショットパルスを発生させないようになる。このため、ロウ制御回路13はロウイネーブル信号REに対応したセンスアンプイネーブル信号SE及びプリチャージイネーブル信号PEも発生させないようになる。

【0135】また、ロウデコーダ7はワード線Rx\_Wordを活性化させないようになるため、結局、ワード線Rx\_Wordを対象としたリフレッシュは行われなくなる。このほか、リフレッシュ制御回路4内のアドレスカウンタは、リフレッシュ制御信号REF\_Aが“L”レベルとなつてことでカウント動作を停止させるため、リフレッシュアドレスR\_ADDの値は時刻t12で更新された値“R1+1”的まとなる。また、アドレスM\_ADDについてもリフレッシュアドレスR\_ADD側が選択されているときにその値は“R1+1”的まとなる。この後、次のリフレッシュサイクルのリフレッシュを開始させる場合にはリフレッシュ制御回路4がリフレッシュ制御信号REF\_Aを“H”レベルに戻すため、図3に示したような動

作が再び行われるようになる。

【0136】なお、こうしてリフレッシュ動作が再開されたときにもリフレッシュカウンタはリセットされず、それまでリフレッシュカウンタに保持されている値に対してインクリメント動作が行われる。つまり、例えばセルフリフレッシュ動作がリフレッシュサイクル（すなわち、全ワード線をリフレッシュするサイクル）途中で中断してもリフレッシュカウンタがリセットされることはない、次のリフレッシュ（読み出し又は書き込みのノーマルアクセスに伴うリフレッシュ、セルフリフレッシュのいずれであっても良い。）動作が再開されたときに、リフレッシュカウンタに残っている値がインクリメントされる。

【0137】〈リフレッシュを伴う書き込み〉次に、図5に示すタイミングチャートを参照しながら書き込みに伴ってリフレッシュを行う場合の動作について説明する。なお、図3の場合と同じくこの場合もリフレッシュ制御信号REF\_A, REF\_Bが何れも“H”レベルに固定されているため、図5ではこれらの信号を特に示していない。また、図5は図3に示した読み出しの代わりにこれを書き込みとしたものであって、図3に示した動作を基本としている。このため、図5に示した時刻t31～t38における動作は以下の点を除いて図3に示した時刻t1～t25における動作と同じものである。

【0138】上述したように、書き込みイネーブル信号/WEはアドレスAddressの変化とは関係なくメモリサイクル内で非同期に入力される。そこで、ここではリフレッシュが完了した後の時刻t32になって書き込みデータに“Din(A1)”が供給されてバスI/Oに載せられるとともに、時刻t33で書き込みイネーブル信号/WEが立ち下がることを想定する。そして、書き込みイネーブル信号/WEに負のパルスが入力されてそれが時刻t33で立ち下がると、ロウ制御回路13はこの書き込みイネーブル信号/WEを遅延させかつ反転させ、ロウイネーブル信号REとして出力する。

【0139】もっともこの場合は、図3と同じくアドレス変化検出信号ATDの立ち下がりでもロウイネーブル信号REにワンショットパルスが生成されるため、両者が合成されてロウイネーブル信号REにワンショットパルスが出力されることになる。こうしてロウイネーブル信号REにワンショットパルスが生成されると、図3の場合と同様にしてアドレス“A1”に対応するワード線“Ax\_Word”が活性化される。またこれと同時に、センスアンプイネーブル信号SE, カラムイネーブル信号CE, カラム選択信号Yj(Ax), プリチャージイネーブル信号PEには順次ワンショットパルスが生成されてゆく。

【0140】一方、書き込みイネーブル信号/WEが有効になることによって、R/W制御回路11は時刻t34で制御信号CWOを立ち下げる。その結果、I/Oバ

ッファ10はバスI/O上の書き込みデータをバスWR\_B側に送出するようになり、時刻t35になった時点ではバスWR\_B上のデータに変化が生じてくる。この後の時刻t36でカラム選択信号Yj(Ax)が“H”レベルになると、アドレスAddressで指定されたメモリセルに対して書き込みが行われる。また、書き込みが完了した後には先の場合と同様にビット線がプリチャージされる。

【0141】その後、時刻t37になって書き込みイネーブル信号/WEが立ち上ると書き込みデータが確定し、その後にロウ制御回路13がロウイネーブル信号REを立ち下げる。また、ロウイネーブル信号REが立ち下がることで、図3においてアドレス変化検出信号ATDが立ち下がったときと同様に、センスアンプイネーブル信号SE, カラムイネーブル信号CE, カラム選択信号Yj(Ax), プリチャージイネーブル信号PEが時刻t38までに順次立ち下がってゆく。また、R/W制御回路11は先の時刻t37で書き込みイネーブル信号/WEが立ち上がったことを受けて、時刻t39になった時点での制御信号CWOを立ち上げる。

【0142】この後はアドレス“A2”からの読み出しが行われるが、この動作は図3で説明したアドレス“A2”からの読み出しおのときと全く同じである。この読み出しおに引き続いてアドレス“A3”に対する書き込みが実施されることになる。この場合の時刻t41～t48における動作もいま説明したアドレス“A1”に対する書き込みに準じたものとなる。しかしこの場合には、書き込みイネーブル信号/WEがアドレス“A1”に対する書き込みのときよりも早いタイミングで入力されている。つまり、この場合はリフレッシュ中に書き込みイネーブル信号/WEが立ち下がるタイミングであって、上述した書き込みに比べて一部の動作に相違が生じてくる。

【0143】すなわちこの場合、リフレッシュ中の時刻t42で書き込みイネーブル信号/WEが立ち下がるとともに、時刻t43でバスI/O上に書き込みデータである“Din(A3)”が供給される。その後、R/W制御回路11が書き込みイネーブル信号/WEの立ち下がりに対応させて時刻t44で制御信号CWOを立ち下げる。その結果、時刻t45になるとデータ“Din(A3)”がI/Oバッファ10からバスWR\_B上に送出されるようになる。この時点ではワード線Ax\_Word, カラムイネーブル信号CE, カラム選択信号Yj(Ax)は何れも活性化されていないことから、メモリセルに書き込みが為されることはない。

【0144】もっとも、本実施形態の半導体記憶装置も汎用のSRAMと同様に、書き込みイネーブル信号/WEが入力されてから書き込みデータを取り込み可能な期間が仕様上決められている。したがって、リフレッシュが終了して実際にメモリセルへ書き込みを行う時点で書

き込みデータを取り込もうとしても、その時には書き込みデータの値が保証されていない可能性がある。そこで本実施形態では、書き込みイネーブル信号／WEがリフレッシュ中に有効となっている間に書き込みデータをバスWRB上に取り込んでおき、リフレッシュが完了したのちにバスWRBからアドレスAddressのメモリセルに対して書き込みを行う。

【0145】つまり、バスWRB上の書き込みデータは“0”／“1”の論理レベル（即ち、接地電位または電源電位）になっているため、この後にワード線Ax\_Word, センスアンプイネーブル信号SE, カラムイネーブル信号CEおよびカラム選択信号Yj (Ax) を順次活性化させれば、バスWRBからメモリセルへ書き込みを行うことができる。そして、この後はアドレス“A1”に対する書き込みの場合と同様であって、アドレス変化検出信号ATDの立ち下がりからロウイネーブル信号REのワンショットパルスを生成すれば、アドレス“A3”への書き込みおよびこれに続くビット線のプリチャージが行われる。

【0146】なお、この過程において時刻t46で書き込みイネーブル信号／WEが立ち上がり、これを受けてR/W制御回路11が時刻t47で制御信号CWOを立ち上げる。また、時刻t42で書き込みイネーブル信号／WEが立ち下がった時点では既にアドレス変化検出信号ATDが“H”レベルとなっているため、ロウイネーブル信号REはすぐには生成されずに、アドレス変化検出信号ATDが“L”レベルとなってからロウ制御回路13内で遅延されてロウイネーブル信号REとして出力される。もっともこの場合もアドレス“A1”的書き込みのときと同じく、アドレス変化検出信号ATDの立ち下がりでもロウイネーブル信号REにワンショットパルスが生成されるため、両者を合成したものがロウイネーブル信号REとして出力されることになる。

【0147】〈リフレッシュを伴わない書き込み〉次に、リフレッシュ制御回路4内のリフレッシュタイムでリフレッシュを制御する動作例につき、書き込みの場合についてのものを図6のタイミングチャートに示す。同図と図5の相違点は図3と図4の相違点と全く同じである。すなわち、図6ではリフレッシュ制御信号REF\_Aがリフレッシュの完了後に立ち下がれること、図6ではリフレッシュアドレスR\_ADDが“R1+1”から更新されなくなること、図6ではリフレッシュアドレス“R1+1”, “R1+2”に対してリフレッシュが行われなくなることが図5の場合と異なる。

【0148】〈セルフリフレッシュ〉次に、半導体記憶装置外部からのアクセス要求が所定の時間（以下では「リフレッシュ時間」という）にわたって無く、リフレッシュタイムによるセルフリフレッシュが行われるときの動作について説明する。なお、この「所定の時間」は、メモリセルのデータ保持特性（例えばデータ保持時

間）に基づいて設定すれば良い。上述したように、本実施形態では外部からのアクセス要求に伴ってアドレス変化があったときに当該アクセス要求を処理するのに先立ってリフレッシュを行うようにしている。しかし、外部からのアクセス要求が長時間発生しないことも考えられるため、アクセス要求があったときにリフレッシュするだけではメモリセルアレイ6のデータを保持することができない。そこで本実施形態では、リフレッシュ制御回路4内のリフレッシュタイムを用いて、外部からのアクセス要求が最後にあった時点からリフレッシュ時間が経過した時点でセルフリフレッシュを起動するようにしている。

【0149】図7はこのときの動作タイミングを示したものである。同図の時刻t51～t52では、外部からの読み出し要求に伴うアドレスAddressの変化を検知してリフレッシュおよび読み出しを行っている。この期間内における動作は図4に示したアドレス“A1”に対する読み出しと全く同じであって、この動作後にリフレッシュ制御信号REF\_Aは“L”レベルとなる。また、アドレス変化検出信号ATDにワンショットパルスが生成された時点で、リフレッシュ制御回路4はリフレッシュタイムの値をリセットしている。

【0150】この後、半導体記憶装置外部からのアクセス要求のない状態が続くと、リフレッシュ制御回路4は時刻t53でリフレッシュ制御信号REF\_Aを立ち上げてリフレッシュ可能な状態に遷移させる。こうした状態としたにも拘わらずアクセス要求の無い状態が継続すると、リフレッシュ制御回路4はリフレッシュ制御信号REF\_Aを上記遅延回路で遅延させた信号の立ち上がりをトリガとして上記パルス発生回路を起動させ、時刻t54でリフレッシュ制御信号REF\_Bに負のワンショットパルスを発生させる。これにより、ロウ制御回路13は時刻t55でロウイネーブル信号REにワンショットパルスを発生させてセルフリフレッシュを起動させる。

【0151】このとき、マルチプレクサ5はリフレッシュ制御信号REF\_Bが“L”レベルとなったことからリフレッシュアドレスR\_ADD側を選択するようになり、アドレスM\_ADDとして“R1+1”を出力する。そして、このセルフリフレッシュ及びそれに続くプリチャージは図3などに示した動作と全く同じである。こうして時刻t59になるとプリチャージイネーブル信号PEが立ち下がってセルフリフレッシュ及びプリチャージが完了する。この時点になんて外部からのアクセス要求は相変わらずないことから、時刻t51～t52などとは違ってアドレスAddressに対するアクセスは行われない。

【0152】この後、リフレッシュ制御回路4内のパルス発生回路は時刻t56でリフレッシュ制御信号REF\_Bを立ち上げる。次に、リフレッシュ制御回路4は、リフレッシュ制御信号REF\_Bの立ち上がりを受けると、時刻t57でリフレッシュアドレスR\_ADDを更新してそ

の値を"R 1 + 2"とする。そして、この場合はリフレッシュ制御信号RE FAが時刻t 5 3で立ち上げられてからアドレス変化検出信号ATDが発生しておらず、アドレス変化に伴うリフレッシュ動作を連続して行う状態には移行しない。したがって、リフレッシュ制御回路4は時刻t 5 8になった時点でリフレッシュ制御信号RE FAを"L"レベルに変化させて、これ以後も引き続いてリフレッシュタイマでリフレッシュ動作をコントロールする状態にする。さらに、マルチプレクサ5はリフレッシュ制御信号RE FBの立ち上がりを受けて時刻t 5 9からは内部アドレスL\_ADD側を選択するようになる。

【0153】ここで、時刻t 5 3～t 5 4の間に半導体記憶装置外部からアクセス要求があってアドレスAddressに変化が認められると、その動作は図8に示したタイミングチャートのようになる。すなわち、時刻t 6 0でアドレスAddressが"A n"に変化してATD回路3が時刻t 6 1でアドレス変化検出信号ATDにワンショットパルスを発生させると、リフレッシュ制御回路4は図7のときのようにリフレッシュ制御信号RE FBを立ち下げるうことなく"H"レベルのまま維持する。このため、時刻t 6 1以降においては時刻t 5 1～t 5 2と同様にしてアドレス"R 1 + 1"に対するリフレッシュ及びアドレス"A n"からの読み出しが行われることになる。その結果、時刻t 6 2になるとバスI/Oにアドレス"A n"の記憶データである"Dout (A n)"が出力されるようになる。なお、図8ではセルホールドリミットのタイミングに近づいて時刻t 5 3でリフレッシュ制御信号RE FAが立ち上げられたことを想定している。したがって、この後に連続するメモリサイクルに伴ってリフレッシュを連続的に行ってゆくことになることから、リフレッシュ制御信号RE FAを"H"レベルのまま維持している。

【0154】〈書き込みイネーブル信号が遅く入力された場合の書き込み〉次に、図9のタイミングチャートを参照しながら書き込みイネーブル信号/WEが遅れて入力されたときの書き込みについて説明する。この場合にはメモリサイクルが長くなるため、本明細書ではその動作を図9に示すように「Long Write動作」と呼んでいる。なお、この場合もリフレッシュ制御信号RE FA, RE FBが何れも"H"レベルのままである。

【0155】まず、時刻t 7 1でアドレスAddressの値が"A 1"に変化することによって、上述した場合と全く同様にリフレッシュアドレス"R 1"についてリフレッシュが行われる。しかし、このリフレッシュが完了しても書き込みイネーブル信号/WEはまだ"H"レベルであるため、図3などと同様にリフレッシュに引き続いアドレス"A 1"を対象とした読み出しが行われる。その結果、時刻t 7 2になるとバスI/Oにはアドレス"A 1"の記憶データである"Dout (A 1)"が出力されるようになる。しかし、半導体記憶装置にアクセ

スした側ではメモリセルへの書き込みを考えているため、この時点における読み出しデータがアクセス側で使用されることは実際にはない。もっとも、アクセス側での読み出しデータを取り込んで何らかの演算を行ってから引き続いて書き込みを行うようにしても良い。つまり、書き込みイネーブル信号を意図的に遅らせることにより、1メモリサイクル内でリードモディファイライト動作を実現することも可能である。

【0156】この後、時刻t 7 3になってようやく書き込みイネーブル信号/WEが立ち下がることで書き込みが起動されて、図6に示した2回目の書き込みサイクルにおけるのとほぼ同様の動作が行われることになる。ただしこの場合、書き込みイネーブル信号/WEの立ち下がりに伴うアドレスAddressの変化は無くその値は"A 1"のままである。したがって、ATD回路3がアドレス変化検出信号ATDにワンショットパルスを発生させることはなくアドレス変化検出信号ATDは"L"レベルのままである。このため、マルチプレクサ5は内部アドレスL\_ADD側を選択し続けることになり、アドレスMADの値はこの後の書き込みに備えて"A 1"のままである。

【0157】また、書き込みイネーブル信号/WEが遅れて入力されると、時刻t 7 1～t 7 2の間にアドレス変化検出信号ATDの立ち下がりで生成されたロウイネーブル信号REは、リフレッシュに引き続く読み出しの完了によって"L"レベルに戻ってしまっている。そこでこの場合、ロウ制御回路13は書き込みイネーブル信号/WEに基づいてロウイネーブル信号REを発生させるようとする。

【0158】すなわち、この時点ではアドレス変化検出信号ATDが"L"レベルであることから、図2に示したインバータ30からディレイ回路52, ナンドゲート53, ナンドゲート54には"H"レベルが供給される。このため、時刻t 7 3で書き込みイネーブル信号/WEが立ち下がると、この書き込みイネーブル信号/WEはディレイ回路49による遅延を与えられてからノアゲート50及びインバータ51を通過し、ナンドゲート53, ナンドゲート54, ナンドゲート65を通じてそのレベルが反転されたのちに、時刻t 7 7でロウイネーブル信号REとして出力される。なお、この場合にはアドレス変化検出信号ATDにワンショットパルスが生成されないため、ラッチ制御信号LCも"L"レベルに戻っている。しかし、アドレスAddressのラッチ2への取り込み動作はリフレッシュに続くダミーの読み出しの際に既に行われているため特に問題はない。

【0159】ここで、時刻t 7 4において既にバスI/Oには書き込みデータである"Din (A 1)"が供給されており、R/W制御回路11が書き込みイネーブル信号/WEの立ち下がりを受けて時刻t 7 5で制御信号CWOを立ち下げるとき、時刻t 7 6になった時点でI/

○バッファ10からバスWRB上に書き込みデータ“Din (A1)”が送出されるようになる。このため、ロウイネーブル信号REのワンショットパルスによって書き込みが開始されて、図6で説明したのと同様にアドレス“A1”に対して書き込みが行われる。

【0160】以上のように本実施形態では、同期型のSRAMなどと同じく、アドレスAddressが変化し始めるメモリサイクルの開始時点では外部からのアクセス要求が読み出し/書き込みの何れであるかが不明である上に、書き込みの場合にどの時点で書き込みイネーブル信号/WEが入力されるかも予測することができない。このため本実施形態では、とりあえずアクセス要求が読み出しであるものと見なしてアドレス変化検出信号ATDの立ち下がりから読み出しを行うようにしており、その後に書き込みイネーブル信号/WEが入力された時点で書き込みを行っている。

【0161】〈書き込みイネーブル信号が遅く入力されたために、リフレッシュタイムによるリフレッシュ後に書き込みが行われる場合〉次に、図10のタイミングチャートを参照してLong Write動作の別のタイミングについて説明する。この図では、書き込みイネーブル信号/WEが入力される前にリフレッシュタイムによってセルフリフレッシュが起動されたために、セルフリフレッシュが行われている最中に書き込みイネーブル信号/WEが立ち下がった場合に相当している。

【0162】まず、時刻t81～t83におけるリフレッシュ及びダミーの読み出しに関しては次の点を除いて図9に示した動作と全く同様である。すなわち、時刻t81から始まるリフレッシュによって1リフレッシュサイクル分のリフレッシュが終了する。このため、リフレッシュ制御回路4は時刻t82になるとリフレッシュ制御信号REFAを立ち下げ、次のリフレッシュサイクルのリフレッシュを行う必要が生じるまでリフレッシュを停止させる。この後、半導体記憶装置外部からのアクセス要求の無い状態が続くと、リフレッシュ制御回路4は時刻t84でリフレッシュ制御信号REFAを立ち上げる。

【0163】しかしこの後も引き続いてアクセス要求が無いため、リフレッシュ制御回路4は時刻t85でリフレッシュ制御信号REFBに負のワンショットパルスを発生させる。すると、リフレッシュ制御信号REFBが“L”レベルとなったことで、マルチプレクサ5はリフレッシュアドレスR\_ADD側を選択し、ロウ制御回路13はロウイネーブル信号REにワンショットパルスを発生させてアドレス“R1+1”に対するセルフリフレッシュを起動させる。この後、時刻t86になると書き込みイネーブル信号/WEが立ち下がるが、この場合におけるセルフリフレッシュ及び書き込みは図5の時刻t41～t48に示したものと同じになる。

【0164】すなわち、時刻t88になると半導体記憶

装置外部からバスI/O上に書き込みデータが供給されるので、R/W制御回路11は制御信号CWOを立ち下げて書き込みデータをI/Oバッファ10からバスWRBに転送しておく。また、マルチプレクサ5は時刻t87におけるリフレッシュ制御信号REFBの立ち上がりを受けて内部アドレスL\_ADD側を選択するようになるため、時刻t89になった時点でアドレスM\_ADDとして

“A1”を出力するようになる。この後にセルフリフレッシュが完了すると、リフレッシュ制御信号REFBから生成されたロウイネーブル信号REに従って、アドレス“A1”的メモリセルに対して書き込みデータ“Din (A1)”をバスWRBから書き込むようになる。

【0165】〈書き込みイネーブル信号が遅く入力されたものの、書き込み後においてリフレッシュタイムによるリフレッシュが行われる場合〉次に、図11のタイミングチャートを参照してLong Write動作のさらに別のタイミング例について説明する。この図では、書き込みイネーブル信号/WEが入力されて書き込みが始まってからリフレッシュタイムによるリフレッシュ要求があった場合であって、書き込みの完了後にセルフリフレッシュが行われる場合に相当している。

【0166】まず、時刻t91～t92におけるリフレッシュ及びダミーの読み出しは図10の場合と全く同じである。この後、半導体記憶装置外部からのアクセス要求が無い状態が続くと、リフレッシュ制御回路4は時刻t93でリフレッシュ制御信号REFAを立ち上げる。そして、リフレッシュタイムがリフレッシュ時間を計時する前に時刻t94で書き込みイネーブル信号/WEが立ち下がると、アドレス“A1”に対するデータ“Din (A1)”の書き込みがセルフリフレッシュに先立つて行われる。なお、この書き込みそのものは図9又は図10に示したLong Write動作と同じである。また、リフレッシュ制御回路4は書き込みイネーブル信号/WEが立ち下がった場合には、メモリセルアレイ6に対する書き込みとこれに続くプリチャージに必要なだけの時間が経過するまでリフレッシュ制御信号REFBに負のワンショットパルスが発生しないように、内部の遅延回路でリフレッシュ制御信号REFAの立ち上がりを遅延させる。

【0167】こうして書き込みが完了すると、リフレッシュ制御回路4内のパルス発生回路は時刻t95でリフレッシュ制御信号REFBに負のワンショットパルスを発生させる。これにより、マルチプレクサ5はリフレッシュアドレスR\_ADD側を選択するようになる。また、ロウ制御回路13はロウイネーブル信号REにワンショットパルスを発生させて、マルチプレクサ5から出力されたアドレス“R1+1”に対するセルフリフレッシュを起動させる。こうしたセルフリフレッシュが終了すると、リフレッシュ制御信号REFBの立ち上がりを受け、リフレッシュ制御回路4は時刻t96でリフレッシュ

ュアドレスR\_ADDの値を“R 1 + 2”に更新し、マルチプレクサは時刻t 97で内部アドレスL\_ADD側を選択する。

【0168】〔第2実施形態〕本実施形態は汎用のDRAMなどで採用されているページモードと同様の機能を実現するものである。図12は本実施形態による半導体記憶装置の構成を示したブロック図であって、図1に示したものと同じ構成要素および信号名については同一の符号を付してある。本実施形態では、第1実施形態で説明したアドレスAddressを上位ビット側のアドレスUAddressと下位ビット側のアドレスPageAddressに分割することによって、アドレスUAddressと同じくするビットについてはアドレスPageAddressを変えるだけでバースト的に出入力可能としている。

【0169】例えば、本実施形態ではアドレスPageAddressを2ビット幅としているため、アドレスPageAddressを“00”B～“11”B（ここで「B」は2進数を意味する）の範囲内で可変させることで、連続する4アドレス分のデータをバースト的にアクセス可能である。なお、アドレスPageAddressの幅は2ビットに限定されるものではなく、「2ビット」～「アドレスAddressに含まれる列アドレスのビット数」の範囲内であれば任意のビット数であって良い。また本実施形態では、アドレスPageAddressで4ビットのデータを選択可能としたことに伴って、図1に示したバスWRBの代わりに4組のバスWRB<sub>i</sub>（ここではi=0～3）を設けてある。このため、アドレスPageAddressの値が“00”B～“11”Bであるときに、これらアドレスで指定されるメモリセルの各ビットデータはそれぞれバスWRB0～WRB3を通じて入出力されることになる。

【0170】次に、アドレスバッファ141、ラッチ142、ATD回路143、カラムデコーダ148、センスアンプ・リセット回路149は図1に示したアドレスバッファ1、ラッチ2、ATD回路3、カラムデコーダ8、センスアンプ・リセット回路9と同様の構成である。本実施形態では、第1実施形態におけるアドレスAddressの代わりにアドレスUAddressを用いているため、これらアドレスのビット幅に違いがある分だけこれら回路の構成が異なっている。また、センスアンプ・リセット回路149はさらに若干の相違点がある。

【0171】すなわち、本実施形態では内部アドレスL\_ADDに含まれる個々の列アドレスについて4ビット分のデータをそれぞれバスWRB0～WRB3上で入出力することになる。このため、センスアンプ・リセット回路149はカラムデコーダ148から出力されるカラム選択信号に従って、メモリセルアレイ6内で隣接している4本のビット線を同時に選択し、これらビット線に接続された4組のセンスアンプとバスWRB0～WRB3をそれぞれ接続する。なお、ATD回路143にはアドレスPageAddressが入力されないため、アドレスPageAddre

ssを変えてバースト的にアクセスを行う場合にはアドレス変化検出信号ATDにワンショットパルスが生成されてしまうことはない。

【0172】このほか、アドレスバッファ151はアドレスのビット幅が異なる点を除くとアドレスバッファ1と同様の構成であって、アドレスPageAddressをバッファリングする。また、バスデコーダ152はアドレスバッファ151から出力される2ビット分のページアドレスをデコードして4本のバス選択信号を出力する。さらに、バスセレクタ153はこれらバス選択信号に従ってバスWRB0～WRB3のうちの何れか一つとI/Oバッファ10との間をバスWRBAによって接続する。

【0173】次に、図13のタイミングチャートを参照して上記構成を採用した半導体記憶装置の動作を説明する。同図の動作は第1実施形態で説明した図4の動作に準じているため、ここでは図4における動作との相違点を中心に説明する。なお、図13に示した“Y1”～“Y4”は“00”B～“11”Bのうちの何れかの値であって、簡単のためここでは“Y1”～“Y4”的値がそれぞれ“00”B～“11”Bであることを想定する。

【0174】まず時刻t 101では図4と同様にアドレスAddressに“A1”を与える。このとき、アドレスPageAddressは“Y1”となっている。これにより、アドレス“A1”に対応したリフレッシュおよび読み出しが行われ、時刻t 102になるとアドレスA1で指定された4個のメモリセル（すなわち、下位アドレスが“00”B～“11”B）に記憶されているデータがそれぞれバスWRB0～WRB3上に読み出されてくる。このとき、アドレスPageAddressの値は“00”Bであり、バスデコーダ152はアドレスバッファ151を通じて受け取ったアドレスPageAddress“Y1”的値“00”Bをデコードする。この結果、バスセレクタ153はバスWRB0を選択して、そこに出力されているビットデータをバスWRBAに出力する。この結果、時刻t 103になるとバスI/O上にはアドレスA1の値[Dout(A1)]が出力されるようになる。

【0175】この後は、アドレスPageAddressを適宜変更してゆくことで、アドレス“A1”的アドレスUAddress部分と同じくするメモリセルのデータを読み出すことができる。すなわち、時刻t 104でアドレスPageAddressに“Y2”（=“01”B）を与えると、バスセレクタ153が時刻t 105でバスWRB1上のビットデータを選択してバスWRBAに出力し、時刻t 106になると下位アドレスが“01”Bのアドレスに記憶されているデータ“Dout(Y2)”がバスI/Oに出力される。

【0176】以後同様にして時刻t 107でアドレスPageAddressに“Y3”（=“10”B）を与えると、時刻t 108でバスWRB2がバスWRBAに接続され、

時刻  $t_{109}$  で下位アドレスが “10” B のアドレスに記憶されているデータ “D<sub>out</sub> (Y3)” がバス I/O に出力される。また、時刻  $t_{110}$  でアドレス Page Address に “Y4” (= “11” B) を与えると、時刻  $t_{111}$  でバス WRB3 がバス WRBA に接続され、時刻  $t_{112}$  で下位アドレスが “11” B のアドレスに記憶されているデータ “D<sub>out</sub> (Y4)” がバス I/O に出力される。なお、上述した第2実施形態の説明では図 4 へ適用した場合のものであったが、図 5～図 11 に示した各場合に適用しても良いことはもちろんである。

【0177】〔第3実施形態〕上述した各実施形態では、外部から供給されるアクセス要求が読み出し要求であるか書き込み要求であるかによらず、アドレス Address の変化 (チップセレクト信号/C S が有効化された場合を含む。) をトリガとして、リフレッシュを行ってから読み出し又は書き込みを行っている。

【0178】これに対し、本実施形態では読み出し要求があった場合には読み出しを行ってからリフレッシュを行うようにしており、そうすることで上述した各実施形態に比べて読み出し速度の向上 (アクセスタイムの短縮化) を図っている。なお、書き込み要求があった場合には、上述した各実施形態と同様にリフレッシュを行ってから書き込みを行うようとする。

【0179】図 14 は本実施形態による半導体記憶装置の構成を示したブロック図である。同図に示す半導体記憶装置の構成は第1実施形態 (図 1) の構成と基本的に同じであるため、図 14 では図 1 と同じ構成要素に同一の符号を付してある。なお、以下では第1実施形態の半導体記憶装置を基礎にして本実施形態を説明するが、第2実施形態の半導体記憶装置に本実施形態の技術思想を適用しても良い。

【0180】汎用 S R A M の仕様では書き込みイネーブル信号がアドレスの変化に対して非同期的に与えられる。ここで、本実施形態ではリフレッシュ動作とメモリセルに対するアクセス動作の処理順序が読み出しの場合と書き込みの場合とで逆になっている。このため、本実施形態では外部から供給されるアクセス要求が読み出し/書き込みの何れであるのかを或るタイミングで判定し、この判定結果に基づいて処理順序を決定する必要がある。

【0181】そこで本実施形態では、アドレス Address が変化してから書き込みイネーブル信号/WE が有効化されるまでの時間 (例えば、図 16 に示す時間  $t_{AW}$  に相当する時間) の最大値 (以下、この最大値を  $t_{AWmax}$  と呼ぶ) を半導体記憶装置の仕様として規定している。つまり、半導体記憶装置を使用するシステム側では、半導体記憶装置へ書き込みを行なうにあたって、アドレス Address を変化させた時点から時間  $t_{AWmax}$  以内に書き込みイネーブル信号/WE を有効化させる必要がある。なお、時間  $t_{AWmax}$  の値はシステム側の要

求仕様に応じて適宜決定すれば良い。

【0182】図 14 に示す A T D 回路 163 は図 1 に示した A T D 回路 3 とほぼ同様の機能を有している。ただ、アドレスが変化し始めてから時間  $t_{AWmax}$  が経過するまでは読み出し/書き込みの何れであるのかが定まらないため、A T D 回路 163 は、アドレス変化を検知してから時間  $t_{AWmax}$  が経過するまではアドレス変化検出信号 A T D を発生させないようにしている。

【0183】ここで、アドレス Address に含まれるスキーの最大値を時間  $t_{skew}$  (例えば図 15 を参照) とすると、システムによっては時間  $t_{AWmax}$  の値が示す時間  $t_{skew}$  よりも短い場合があり得る。上述したように、本来であれば時間  $t_{AWmax}$  の値はシステム側の要求仕様に応じて決まるため、時間  $t_{skew}$  とは無関係に設定することができる。

【0184】しかしながら、アドレス Address が変化し始めてから時間  $t_{skew}$  が経過するまではアドレス Address の値が確定しないので、それまではメモリセルアレイに対するアクセスを開始してはならない。したがって、時間  $t_{AWmax}$  が時間  $t_{skew}$  よりも短い場合には、時間  $t_{AWmax}$  の値を時間  $t_{skew}$  に設定して、アドレス Address が確定してからアクセスが行われるようにする。

【0185】もっとも、いま述べたことは読み出しの場合について考慮しておけば良い。書き込みの場合には本実施形態でもリフレッシュを行ってから書き込みを行うため、アドレス変化時点から時間  $t_{AWmax}$  が経過して読み出し/書き込みの何れであるかが確定したときからリフレッシュ動作を開始させても何ら支障はない。さらに、時間  $t_{AWmax}$  が経過する前に書き込みイネーブル信号/WE が有効になったのであれば、その時点で書き込み動作であると判断できるので、時間  $t_{AWmax}$  の経過を待たずにリフレッシュ動作を開始させても良い。

【0186】リフレッシュ制御回路 164 は図 1 のリフレッシュ制御回路 4 と同様の機能を有している。ただし、リフレッシュ制御回路 164 は、アドレス変化検出信号 A T D が立ち上がったときに書き込みイネーブル信号/WE を参照し、読み出し要求であればアドレス変化検出信号 A T D の立ち上がりをトリガとしてリフレッシュアドレス R\_ADD を更新し、書き込み要求であればアドレス変化検出信号 A T D の立ち下がりをトリガとしてリフレッシュアドレス R\_ADD を更新する。

【0187】次に、マルチプレクサ 165 は図 1 に示したマルチプレクサ 1 とほぼ同様の機能を有している。ただ、本実施形態では読み出しの場合にはリフレッシュに先行して読み出しを行なう必要があるため、読み出し/書き込みのいずれであるかを判別するために、マルチプレクサ 165 へ書き込みイネーブル信号/WE を入力している。書き込みイネーブル信号/WE が “L” レベル

(書き込み)の場合、マルチプレクサ165の動作はマルチプレクサ9と同じ動作となる。

【0188】これに対して書き込みイネーブル信号/W\_Eが“H”レベルの場合、マルチプレクサ165は書き込みの場合と逆の選択動作を行う。具体的に言うと、マルチプレクサ165は、アドレス変化検出信号ATDが“H”レベルかつリフレッシュ制御信号REFBが“H”レベルであれば内部アドレスL\_ADD側を選択し、アドレス変化検出信号ATDが“L”レベルであるかリフレッシュ制御信号REFBが“L”レベルであればリフレッシュアドレスR\_ADD側を選択する。

【0189】次に、ロウ制御回路173は図1に示したロウ制御回路13とほぼ同様の機能を有しており、書き込みの場合にはロウ制御回路13と同じ動作を行う。一方、読み出しの場合、ロウ制御回路173はアドレス変化検出信号ATDの立ち上がりをトリガとして、読み出し動作のためにロウイネーブル信号RE、センスアンプイネーブル信号SE、制御信号CCおよびプリチャージ信号PEを活性化させる。また、ロウ制御回路173はアドレス変化検出信号ATDの立ち下がりをトリガとして、リフレッシュ動作のためのロウイネーブル信号RE、センスアンプイネーブル信号SEおよびプリチャージイネーブル信号PEを活性化させる。

【0190】次に、本実施形態による半導体記憶装置の動作を説明する。ここではまず図15に示すタイミングチャートを参照して読み出し動作を説明し、それから図16のタイミングチャートを参照して書き込み動作を説明する。

【0191】まず、図15に示す時刻t120でアドレスAddressが変化すると、このアドレス変化がアドレスバッファ1及びラッチ2を通じてATD回路163に伝達される。しかしながらこの時点では読み出し/書き込みが未確定であるため、ATD回路163はアドレス変化検出信号ATDのワンショットパルスを直ちに発生させることはしない。

【0192】この後、時刻t120から時間tAWmaxが経過して時刻t122になると書き込み/読み出しの何れかであるかが確定するので、ATD回路163は時刻t123でアドレス変化検出信号ATDにワンショットパルスを発生させる。そして、この場合は読み出し要求であるために書き込みイネーブル信号/WEは

“H”レベルとなっており、マルチプレクサ165は内部アドレスL\_ADD側を選択して時刻t124でアドレスM\_ADD(=アドレス“A1”)をロウデコーダ7に供給する。また、ロウ制御回路173はアドレス変化検出信号ATDの立ち上がりをトリガにしてロウイネーブル信号RE、センスアンプイネーブル信号SE、制御信号CCおよびプリチャージ信号PEを順次生成してゆく。これにより、図3に「Read Cycle」で示した場合と同様にして読み出し動作が行われて、例えばアドレス“A1”に

対応するワード線Ax\_Wordが時刻t125で活性化され、時刻t126でメモリセルのデータ“Dout(A1)”がバスI/O上に読み出される。

【0193】この後、時刻t127でアドレス変化検出信号ATDが立ち下がると、マルチプレクサ165はリフレッシュアドレスR\_ADD側を選択するようになり、時刻t128でアドレスM\_ADD(=アドレス“R1+1”)をロウデコーダ7に供給する。また、ロウ制御回路173は、アドレス変化検出信号ATDの立ち下がりをトリガにして、ロウイネーブル信号RE、センスアンプイネーブル信号SE、およびプリチャージ信号PEを順次生成してゆく。これにより、図3に「RefreshCycle」で示した場合と同様にしてリフレッシュ動作が行われて、例えばアドレス“R1+1”に対応するワード線Rx\_Wordが時刻t129で活性化される。

【0194】次に、書き込み要求があった場合の動作を説明する。書き込みの場合には、図16に示す時刻t140でアドレスAddressが変化し始めたときから時間tAWmax経過後の時刻t143までの間に書き込みイネーブル信号/WEが有効化される。図16では、時刻t140から時間tAW後の時刻t142で書き込みイネーブル信号/WEが立ち下がられたものとしている。

【0195】次に、ATD回路163はアドレス変化及び書き込みイネーブル信号/WEの立ち下がりを受け、時刻t144でアドレス変化検出信号ATDにワンショットパルスを発生させる。このとき書き込みイネーブル信号/WEは“L”レベルであるため、マルチプレクサ165はリフレッシュ動作のためにリフレッシュアドレスR\_ADD側を選択し、時刻t145でアドレスM\_ADDとして“R1”をロウデコーダ7に出力する。また、ロウ制御回路173はロウイネーブル信号RE、センスアンプイネーブル信号SE、およびプリチャージ信号PEを順次生成する。これにより、図5の時刻t31以降に「Refresh Cycle」で示した場合と同様にリフレッシュ動作が行われる。

【0196】この後、時刻t146になると書き込みデータの値“Din(A1)”がバスI/O上に供給されるようになる。次に、時刻t147でATD回路163がアドレス変化検出信号ATDを立ち下げるとき、マルチプレクサ165は内部アドレスL\_ADD側を選択するようになり、時刻t148でアドレスM\_ADDとして“A1”の行アドレス部分をロウデコーダ7に出力する。また、ロウ制御回路173はロウイネーブル信号RE、センスアンプイネーブル信号SE、制御信号CCおよびプリチャージ信号PEを順次生成する。これにより、図5に「Write cycle」で示した場合と同様に書き込み動作が行われる。

【0197】以上説明したように、本実施形態ではアドレスが変化してから時間tAWmaxが経過すれば読み出し動作を開始することができる。このため、第1実施

形態や第2実施形態に比べて読み出しを高速化することが可能となり、アクセスタイムを短縮することができる。特に、上述した各実施形態においてリフレッシュ動作に必要な時間が長く、本実施形態における時間  $t_{AW\ max}$  の値が小さいほど、アクセスタイム改善の効果は大きくなる。

【0198】〔第4実施形態〕上述した各実施形態では、半導体記憶装置外部から供給されるパワーダウン制御信号PowerDownに基づいてスタンバイモードを切り換えるようにしていた。これに対し、本実施形態では予め決めておいたメモリセルアレイ6上の特定のアドレスに対してモード切り換え指示のためのデータを書き込むことによって、上述した各実施形態と同様のスタンバイモード切り換えを実現している。ここで、本実施形態による半導体記憶装置ではメモリセルアレイ6上の“0”番地（最下位番地）をモード切り換え専用のデータ格納領域としている。また、本実施形態では、スタンバイモード2に設定するためのデータが“F0”h（ここで「h」は16進数を意味する）であり、スタンバイモード3に設定するためのデータが“0F”hであるものとしている。したがって本実施形態ではバスWRBのバス幅が8ビットになっている。

【0199】図17は本実施形態による半導体記憶装置の構成を示したブロック図であって、図1に示したものと同じ構成要素および信号名については同一の符号を付してある。図17が図1と相違する点としては、パワーダウン制御信号PowerDownを入力するためのピンが存在しないこと、スタンバイモード制御回路201が新たに追加されていること、リフレッシュ制御回路204、ブースト電源215、基板電圧発生回路216、リファレンス電圧発生回路217がそれぞれ図1に示したリフレッシュ制御回路4、ブースト電源15、基板電圧発生回路16、リファレンス電圧発生回路17と一部の構成が異なっていることが挙げられる。そこで以下、図18～図22を参照しながらこれら各部の詳細について説明してゆく。なお、これらの図では図1又は図17に示したものと同じ構成要素および信号名については同一の符号を付けている。

【0200】まず図17において、スタンバイモード制御回路201は内部アドレスL\_ADD、チップセレクト信号/C\_S、書き込みイネーブル信号/WE、バスWRB上の書き込みデータに基づいてモード設定信号MD2、MD3を発生させる。このうち、モード設定信号MD2はスタンバイモード2に設定するときに“H”レベルとなる信号であって、リフレッシュ制御回路204に供給される。一方、モード設定信号MD3はスタンバイモード2又はスタンバイモード3に設定するときに“H”レベルとなる信号であって、ブースト電源215、基板電圧発生回路216、リファレンス電圧発生回路217に供給される。なお、モード設定信号MD2及びMD3が

何れも“L”レベルであるときがスタンバイモード1である。

【0201】ここで、図18はスタンバイモード制御回路201の詳細構成を示した回路図である。同図において、データWRB0～WRB3、WRB4～WRB7は半導体記憶装置の外部からバスWRB上に供給される書き込みデータのビット0～3、4～7である。そして、アンド(AND)ゲート221、ノアゲート222及びアンドゲート223から成る回路は、書き込みデータが“F0”hであるときにだけ“H”レベルを出力する。同様にして、ノアゲート224、アンドゲート225及びアンドゲート226から成る回路は、書き込みデータが“0F”hであるときにだけ“H”レベルを出力する。また、オアゲート227はアンドゲート233、226の出力の論理和をとることにより、書き込みデータとして“F0”h又は“0F”hの何れかが入力されたときに“H”レベルを出力する。

【0202】次に、アドレスX0B～Y7Bは内部アドレスL\_ADDを構成する各ビットを反転させたアドレス値である。例えば、アドレスX0Bはロウアドレスのビット0を反転した値であり、アドレスY7Bはカラムアドレスのビット7を反転した値である。したがって、アンドゲート228は内部アドレスL\_ADDの各ビットが全て“0”B（つまり“0”番地）を検出したときにのみ“H”レベルを出力する。そして、アンドゲート229は“0”番地に対してデータ“F0”h又は“0F”hを書き込む場合にのみ、書き込みイネーブル信号/WEをクロックとしてそのまま出力する。また、アンドゲート230は“0”番地へデータ“0F”hを書き込む場合にのみ書き込みイネーブル信号/WEをそのままクロックとして出力する。

【0203】次に、インバータ231～236及びアンドゲート237から成る回路は、チップセレクト信号/C\_Sの立ち下がりエッジを捕らえて信号CEO\_Sにワンショットパルスを発生させる。次に、ラッチ238はアンドゲート229の出力が立ち上がってC端子にクロックが入力されたときに、D端子に供給された電源電位に対応する“H”レベルをモード設定信号MD2としてQ端子から出力する。また、ラッチ238はR端子に供給される信号CEO\_Sにワンショットパルスが発生したときに、自身をリセットしてモード設定信号MD2に“L”レベルを出力する。ラッチ239も同様の構成であって、アンドゲート230の出力が立ち上がったときにモード設定信号MD3へ“H”レベルを出力し、信号CEO\_Sにワンショットパルスが発生したときにモード設定信号MD3へ“L”レベルを出力する。

【0204】以上のように、スタンバイモード2に設定する場合は、書き込みイネーブル信号/WEの立ち上がりに同期してアンドゲート229の出力が立ち上がってDタイプのラッチ238がセットされ、モード設定信号

MD 2が“H”レベルとなる。また、スタンバイモード3に設定する場合には、書き込みイネーブル信号/WEの立ち上がりに同期してアンドゲート229, 230の出力が何れも立ち上がってラッチ238, 239がともにセットされ、モード設定信号MD 2及びモード設定信号MD 3がともに“H”レベルとなる。

【0205】次に、図17に示したリフレッシュ制御回路204は、パワーダウン制御信号PowerDownの代わりにチップセレクト信号/CS及びモード設定信号MD 2を用いて、リフレッシュアドレスR\_ADD, リフレッシュ制御信号REF\_A及びREF\_Bを発生させる。ここで、図19はリフレッシュ制御回路204の詳細構成を示した回路図である。図中、Pチャネルのトランジスタ240はゲート端子、ソース端子、ドレイン端子がそれぞれアンドゲート241の出力、電源電位、リフレッシュ制御回路4の電源供給ピンに接続されている。このため、アンドゲート241の出力が“L”レベルであればトランジスタ240がオンしてリフレッシュ制御回路4に電源を供給し、同出力が“H”レベルであればトランジスタ240がカットオフして電源供給を停止させる。

【0206】アンドゲート241は半導体記憶装置が非選択状態（チップセレクト信号/CSが“H”レベル）、かつ、スタンバイモード2又はスタンバイモード3（モード設定信号MD 2が“H”レベル）のときに、トランジスタ240をカットオフさせる。次に、インバータ242はモード設定信号MD 2の反転信号を生成するものであって、スタンバイモード1のときにその出力が“H”レベルとなる。アンドゲート243は、スタンバイモード1ではリフレッシュ制御回路4が発生させるリフレッシュアドレスR\_ADDをそのまま出力する一方、スタンバイモード2又はスタンバイモード3では同アドレスを“0”に固定させる。

【0207】アンドゲート244はスタンバイモード1ではリフレッシュ制御回路4が発生させるリフレッシュ制御信号REF\_Aをそのまま出力する一方、スタンバイモード2又はスタンバイモード3では同信号を“L”レベルに固定する。また、インバータ245はインバータ242の出力を反転するため、スタンバイモード1のときに“L”レベルを出力する。オアゲート246はスタンバイモード1ではリフレッシュ制御回路4が発生させるリフレッシュ制御信号REF\_Bをそのまま出力する一方、スタンバイモード2又はスタンバイモード3では同信号を“H”レベルに固定する。

【0208】次に、図20～図22はそれぞれブースト電源215、基板電圧発生回路216、リファレンス電圧発生回路217の詳細な構成を示した回路図である。ブースト電源215において、Pチャネルのトランジスタ250、アンドゲート251はそれぞれ図19に示したトランジスタ240、アンドゲート241と同一の機能を有している。すなわち、半導体記憶装置が非選択状

態（チップセレクト信号/CSが“H”レベル）、かつ、スタンバイモード3（モード設定信号MD 3が“H”レベル）のときに、トランジスタ250をカットオフしてブースト電源15に対する電源供給を停止させ、これ以外の場合にはブースト電源15に電源を供給する。以上のこととは基板電圧発生回路216、リファレンス電圧発生回路217についても全く同じであって、これらの回路を構成するトランジスタ252, 254はブースト電源215内のトランジスタ250に対応し、アンドゲート253, 255はブースト電源215内のアンドゲート251に対応している。

【0209】次に、上記構成による半導体記憶装置におけるスタンバイモード切り換え時の動作は以下のようになる。

#### 【0210】① スタンバイモード1

半導体記憶装置をスタンバイモード1に設定するにはチップセレクト信号/CSを立ち下げれば良い。そうすることで、スタンバイモード制御回路201はチップセレクト信号/CSの立ち下がりエッジからワンショットパルスを発生させてラッチ238, ラッチ239をリセットし、モード設定信号MD 2, MD 3を何れも“L”レベルとする。

【0211】これにより、リフレッシュ制御回路204ではトランジスタ240がオンして内部のリフレッシュ制御回路4へ電源が供給されるとともに、リフレッシュ制御回路4が生成するリフレッシュアドレスR\_ADD, リフレッシュ制御信号REF\_A, REF\_Bがそのまま出力されるようになる。また、ブースト電源215, 基板電圧発生回路216, リファレンス電圧発生回路217でもそれぞれ内部のブースト電源15, 基板電圧発生回路16, リファレンス電圧発生回路17に電源が供給される。以上の動作が行われることで第1実施形態や第2実施形態で説明したような動作が可能となる。

#### 【0212】② スタンバイモード2

スタンバイモード2へ設定するには上述したように“0”番地へ“F0”hのデータを書き込めば良い。これにより、スタンバイモード制御回路201は書き込みイネーブル信号/WEの立ち上がりエッジからモード設定信号MD 2を“H”レベルにする。この時点で半導体記憶装置が選択されていないか、あるいは、その後に選択されなくなるとチップセレクト信号/CSが“H”レベルとなるため、リフレッシュ制御回路204は内部のリフレッシュ制御回路4に対する電源供給を停止させる。

【0213】また、リフレッシュ制御回路4に対する電源供給がなくなったことでその出力が不定となることから、リフレッシュ制御回路204はリフレッシュアドレスR\_ADDを“0”に固定させるとともに、リフレッシュ制御信号REF\_A, REF\_Bのレベルをそれぞれ“L”レベル, “H”レベルに固定させる。またこの時点では

チップセレクト信号/CSが“H”レベルであるため、ATD回路3は内部アドレスL\_ADDi(図2参照)が変化してもアドレス変化検出信号ATDにワンショットパルスを発生させずに“L”レベルのまます。

【0214】このため、ロウ制御回路13はロウイネーブル信号RE、センスアンプイネーブル信号SE、プリチャージイネーブル信号PE、制御信号CCを何れも“L”レベルに固定させる。したがって、カラムイネーブル信号CE、ラッチ制御信号LCも“L”レベルのまます。一方、リフレッシュ制御信号REFBが“H”レベルに固定され、なおかつ、アドレス変化検出信号ATDが“L”レベルに固定されることから、マルチプレクサ5は内部アドレスL\_ADD側を選択し続けるようになる。

【0215】以上のようにして、リフレッシュ動作が中断されて消費電流が削減される。なお、このときモード設定信号MD3は“L”レベルのままであるため、ブースト電源15、基板電圧発生回路16、リファレンス電圧発生回路17(図20～図22を参照)には電源が供給され続ける。

#### 【0216】④スタンバイモード3

スタンバイモード3へ設定するには上述したように“0”番地へ“0F”hのデータを書き込めば良い。これにより、スタンバイモード制御回路201は書き込みイネーブル信号/WEの立ち上がりエッジからモード設定信号MD2及びモード設定信号MD3をともに“H”レベルとする。このため、チップセレクト信号/CSが“H”レベルになった時点で、スタンバイモード2のときと同様にリフレッシュ制御回路204は内部のリフレッシュ制御回路4に対する電源供給を停止させる。これと同時に、ブースト電源215、基板電圧発生回路216、リファレンス電圧発生回路217はそれぞれ内部のブースト電源15、基板電圧発生回路16、リファレンス電圧発生回路17に対する電源供給を停止させる。これによって、スタンバイモード2と同様にリフレッシュ制御が中断されるのに加えて、電源系制御回路の電流もカットされてさらに消費電流が低減する。

【0217】以上のように、本実施形態では第1実施形態で説明したパワーダウン制御信号PowerDownのような信号を半導体記憶装置外部から与える必要がないため、その分だけピン数を削減することができる。なお、上述した説明では第1実施形態をもとに第4実施形態を説明したが、同様のことをそのまま第2実施形態や第3実施形態に適用しても良い。

【0218】【第5実施形態】上述した各実施形態では、3種類あるスタンバイモード中から選択された何れかのスタンバイモードに従って、半導体記憶装置内部のメモリセルアレイ全体のリフレッシュ動作を制御するようしている。このため、例えば図1に示したメモリセルアレイ6が複数の領域(以下、「メモリセルエリア」

という)に分割されているような場合であっても、スタンバイ状態におけるセルフリフレッシュ動作は、全てのメモリセルエリアに対して同一のスタンバイモードで共通に制御することとなる。

【0219】ところが、半導体記憶装置が適用されるアプリケーションによっては、あるメモリセルエリア(メモリ空間)についてはスタンバイ状態でデータを保持する必要があるものの、一時的に使用するデータだけが置かれるようなメモリセルエリア(上述したようにバッファとして使用されるメモリセルエリア)ではスタンバイ状態でデータを保持しておく必要がないといったことがある。例えば、携帯電話に代表されるモバイル端末システムを考えた場合、インターネットからダウンロードされるホームページなどの情報はユーザが見ている間だけ一時的に保持しておけば良い性質のものである。

【0220】つまり、いま述べたような用途に使用されるメモリセルエリアに関してはスタンバイ状態でセルフリフレッシュを行う必要がないため、それだけスタンバイ電流を削減することができる。そのためには、セルフリフレッシュしてデータを保持するか否かをメモリセルエリア毎に指定することが可能となれば、ユーザのニーズやアプリケーションに応じてスタンバイ電流を効率的に制御できるようになり、例えばモバイル端末システムに合わせたメモリセルエリアの割り当てを行うことで、スタンバイ電流を最低限の消費量にとどめることも可能となる。

【0221】こうした背景から本実施形態では、メモリセルアレイが複数のメモリセルエリアで構成されている場合に、各メモリセルエリアに対して個別にスタンバイモードを設定可能としたものである。図23は本実施形態による半導体記憶装置の要部の構成を示したブロック図であって、図1の構成に基づいて本実施形態を実現したものである。ただし、図示の都合から図23ではメモリセルエリア周りの回路だけを図示してあり、図1に示されているアドレスバッファ1、ラッチ2、ATD回路3、リフレッシュ制御回路4、マルチプレクサ5、R/W制御回路11、ラッチ制御回路12およびこれらに関連する各信号を省略してあるが、これらについては何れも図1と同様である。

【0222】図23では、図1に示したメモリセルアレイ6を2つのメモリセルエリア6<sub>1</sub>、6<sub>2</sub>に分割した場合について例示してあるが、当然ながらメモリセルエリアの数は幾つであっても良い。ここで、以下の説明では、メモリセルエリア及びこのメモリセルエリアに対応してメモリセルエリア毎に設けられた周辺回路を含めて「メモリプレート」と呼ぶことにする。例えば図23に示した構成例では、メモリセルエリア6<sub>1</sub>とその周辺回路であるロウデコーダ7<sub>1</sub>、カラムデコーダ8<sub>1</sub>、センスアンプ・リセット回路9<sub>1</sub>、ブースト電源15<sub>1</sub>、基板電圧発生回路16<sub>1</sub>、リファレンス電圧発生回路17<sub>1</sub>を1つの

メモリプレートと定義する。

【0223】もっとも、後述するようにロウ制御回路313はメモリセルエリア毎に制御信号を生成している。したがって例えば、ロウイネーブル信号RE1、センスアンプイネーブル信号SE1、プリチャージイネーブル信号PE1を生成するためのロウ制御回路313内の回路部分をメモリセルエリア6<sub>1</sub>に対応した周辺回路に含めても良い。また以下の説明では、セルフリフレッシュ動作に必要となるブースト電源15<sub>1</sub>、基板電圧発生回路16<sub>1</sub>及びリファレンス電圧発生回路17<sub>1</sub>を総称して「第1の電源回路」と呼び、ブースト電源15<sub>2</sub>、基板電圧発生回路16<sub>2</sub>及びリファレンス電圧発生回路17<sub>2</sub>を総称して「第2の電源回路」と呼ぶ。

【0224】次に、ロウデコーダ7<sub>1</sub>、カラムデコーダ8<sub>1</sub>、センスアンプ・リセット回路9<sub>1</sub>、ブースト電源15<sub>1</sub>、基板電圧発生回路16<sub>1</sub>、リファレンス電圧発生回路17<sub>1</sub>はメモリセルエリア6<sub>1</sub>に対応したものであって、個々の符号から添字“1”を除いた図1の構成要素と同様の構成である。例えば、ロウデコーダ7<sub>1</sub>は図1に示したロウデコーダ7と同じである。またこれら各構成要素の添字“1”を添え字“2”に代えたものはメモリセルエリア6<sub>2</sub>に対応して設けられた構成要素である。

【0225】次に、I/Oバッファ10は図1に示したものと同じであるが、本実施形態ではバスWRBを通じてセンスアンプ・リセット回路9<sub>1</sub>、9<sub>2</sub>の双方に接続されている。次に、カラム制御回路14は図1に示したものと同じであるが、本実施形態ではカラムイネーブル信号CEをカラムデコーダ8<sub>1</sub>及びカラムデコーダ8<sub>2</sub>の双方に供給している。

【0226】次に、PowerDown制御回路301はスタンバイ状態において制御信号PD1、PD2を生成してそれぞれ第1の電源回路、第2の電源回路に供給することで、これら電源回路のパワーカット動作を個別に制御する。本実施形態では、制御信号PD1、PD2を“H”レベルにしたときに各電源回路が電源供給を行い、同信号を“L”レベルにしたときに各電源回路が電源供給をカットするものとする。なお、スタンバイ状態でない通常動作の場合、PowerDown制御回路301は制御信号PD1、PD2を何れも“H”レベルとする。

【0227】ここで、本実施形態では説明を簡単にするために、メモリセルのセルフリフレッシュを行うスタンバイモード（「リフレッシュ有」）、メモリセルのセルフリフレッシュを行わないスタンバイモード（「リフレッシュ無」）という2種類のモードを設けた場合について説明するが、上述した各実施形態のように3種類のスタンバイモードを設けた場合も同様である。また、本実施形態ではスタンバイ状態における制御信号PD1、PD2のレベルが固定化されている場合を想定している。なお、これら制御信号のレベルを外部からプログラム可能とする構成については第6実施形態で説明するが、本

実施形態でも制御信号のレベルをプログラム可能に構成しても良い。

【0228】次に、ロウ制御回路313は図1に示したロウ制御回路13とほぼ同様の構成である。ただし、本実施形態ではメモリプレートを2つ設けているため、ロウ制御回路313は各メモリプレートに対応した2系統の制御信号を発生させる。すなわち、ロウ制御回路313はロウイネーブル信号RE1、RE2をそれぞれロウデコーダ7<sub>1</sub>、7<sub>2</sub>に供給し、センスアンプイネーブル信号SE1及びプリチャージイネーブル信号PE1をセンスアンプ・リセット回路9<sub>1</sub>に供給し、センスアンプイネーブル信号SE2及びプリチャージイネーブル信号PE2をセンスアンプ・リセット回路9<sub>2</sub>に供給している。またロウ制御回路313は、制御信号PD1、PD2のレベルに連動して上記2系統の制御信号を発生させるかどうかを制御している。例えば、PowerDown制御回路301がスタンバイ状態で制御信号PD2に“L”レベルを出力する場合、ロウ制御回路313はメモリセルエリア6<sub>2</sub>側に供給すべき制御信号をスタンバイ状態では発生させない。

【0229】次に、上記構成による半導体記憶装置のスタンバイ動作について説明する。まず、メモリセルエリア6<sub>1</sub>、6<sub>2</sub>の双方を「リフレッシュ有」で使用する場合、PowerDown制御回路301はスタンバイ状態となつた時点で制御信号PD1、PD2をともに“H”レベルにして、スタンバイ状態でないときと同様に第1の電源回路及び第2の電源回路の双方に電圧の供給を行わせる。これと連動して、ロウ制御回路313はロウイネーブル信号RE1及びRE2、センスアンプイネーブル信号SE1及びSE2、プリチャージイネーブル信号PE1及びPE2を順次生成してゆく。このため、ロウデコーダ7<sub>1</sub>、7<sub>2</sub>がそれぞれメモリセルエリア6<sub>1</sub>、6<sub>2</sub>上のワード線を活性化させ、センスアンプ・リセット回路回路9<sub>1</sub>、9<sub>2</sub>がそれぞれセンスアンプを選択してセルフリフレッシュを行う。

【0230】次に、メモリセルエリア6<sub>1</sub>、6<sub>2</sub>の双方を「リフレッシュ無」で使用する場合、PowerDown制御回路301はスタンバイ状態において制御信号PD1、PD2をともに“L”レベルにする。このため、第1の電源回路及び第2の電源回路は電圧の供給を停止するようになる。またロウ制御回路313は、スタンバイ状態ではロウイネーブル信号RE1及びRE2、センスアンプイネーブル信号SE1及びSE2、プリチャージイネーブル信号PE1及びPE2を発生させない。したがって、この場合にはセルフリフレッシュが全く行われなくなる。

【0231】次に、メモリセルエリア6<sub>1</sub>を「リフレッシュ有」、メモリセルエリア6<sub>2</sub>を「リフレッシュ無」で使用する場合、PowerDown制御回路301はスタンバイ状態において制御信号PD1、PD2にそれぞ

“H”レベル, “L”レベルを出力する。また、ロウ制御回路313は、スタンバイ状態でロウイネーブル信号RE1, センスアンプイネーブル信号SE1, プリチャージイネーブル信号PE1を発生させ、ロウイネーブル信号RE2, センスアンプイネーブル信号SE2, プリチャージイネーブル信号PE2を発生させない。こうして、第1の電源回路だけが電圧を供給するようになって、メモリセルエリア6<sub>1</sub>についてだけセルフリフレッシュが行われるようになる。

【0232】次いで、メモリセルエリア6<sub>1</sub>を「リフレッシュ無」、メモリセルエリア6<sub>2</sub>を「リフレッシュ有」で使用する場合はいま述べたのと正反対となる。すなわち、PowerDown制御回路301はスタンバイ状態において制御信号PD1, PD2をそれぞれ“L”レベル, “H”レベルに設定する。また、ロウ制御回路313は、スタンバイ状態でロウイネーブル信号RE2, センスアンプイネーブル信号SE2, プリチャージイネーブル信号PE2だけを発生させる。このため、第2の電源回路だけが電圧を供給するようになって、メモリセルエリア6<sub>2</sub>についてだけセルフリフレッシュが行われるようになる。

【0233】本実施形態では、両方のメモリセルエリアを「リフレッシュ有」とした場合に100μA程度のスタンバイ電流が発生する。一方、何れか一方のメモリセルエリアだけを「リフレッシュ有」とした場合には、スタンバイ電流を約1/2の50μAに半減することができる。他方、両方のメモリセルエリアを「リフレッシュ無」とした場合にはスタンバイ電流を完全にゼロにすることができる。

【0234】なお、上述した説明では第1実施形態をもとに本実施形態を説明したが、同様のことを第2実施形態や第3実施形態に適用しても良い。また、図23ではメモリセルエリア6<sub>1</sub>, 6<sub>2</sub>が同じ容量であるかのように描いてあるが、これらメモリセルエリアが異なる容量であっても良い。さらに、上述した説明では2種類のスタンバイモードの場合について説明したが、上述した第1～第3実施形態のように3種類のスタンバイモードの場合に適用しても良い。

【0235】〔第6実施形態〕図24は本実施形態による半導体記憶装置の要部の構成を示したブロック図であって、図1の構成に基づいて本実施形態を実現したものである。本実施形態も第5実施形態と同様にメモリセルアレイ6が複数のメモリセルエリアに分割されており、個々のメモリセルエリア(メモリプレート)に対してスタンバイモードを別々に設定可能としたものである。

【0236】ただし、本実施形態ではメモリセルエリアの数が多い半導体記憶装置を念頭に置いているため、図23とは違ってメモリセルエリアの数を一般化してn個(n: 2以上の自然数)としてある。このため、図1に示したメモリセルアレイ6が図24ではメモリセルエリ

ア6<sub>1</sub>～6<sub>n</sub>に分割されている。また図24では、個々のメモリセルエリアに対応して、ロウデコーダ7<sub>1</sub>～7<sub>n</sub>, カラムデコーダ8<sub>1</sub>～8<sub>n</sub>, センスアンプ・リセット回路9<sub>1</sub>～9<sub>n</sub>が設けられている。

【0237】次に、電源回路350はメモリセルエリア6<sub>1</sub>～6<sub>n</sub>に共通する電源回路であって、図23に示したブースト電源15, 基板電圧発生回路16, リファレンス電圧発生回路17を統合するとともに、n個のメモリセルエリア全に対して同時に電源供給を行えるよう、図1に示した構成よりも供給能力を強化してある。なお、本実施形態では電源回路をメモリセルエリア間で共通化しているため、メモリプレートは例えばメモリセルエリア6<sub>1</sub>とその周辺回路であるロウデコーダ7<sub>1</sub>, カラムデコーダ8<sub>1</sub>, センスアンプ・リセット回路9<sub>1</sub>で構成される。

【0238】次に、PowerDown制御回路351は図23に示したPowerDown制御回路301と同様の回路であって、n個のメモリセルエリアに対応するように制御信号PD1～PDnを生成する。次に、スイッチ素子352<sub>1</sub>～352<sub>n</sub>はそれぞれ制御信号PD1～PDnに応じてメモリセルエリア6<sub>1</sub>～6<sub>n</sub>に対応した各メモリプレートへの電源供給を制御している。例えば、スイッチ素子352<sub>1</sub>は、制御信号PD1が“H”レベルのときにオンとなって電源回路350からメモリセルエリア6<sub>1</sub>に対応するメモリプレートへ電源を供給するほか、同信号が“L”レベルのときにオフとなって同メモリプレートに対する電源供給を停止させる。なお、スイッチ素子352<sub>2</sub>～352<sub>n</sub>もスイッチ素子352<sub>1</sub>と同様である。

【0239】次に、ロウ制御回路353は図23に示したロウ制御回路313と同様の回路であって、ロウイネーブル信号RE1～REn, センスアンプイネーブル信号SE1～SEN, プリチャージイネーブル信号PE1～PEnを生成し、これら制御信号を対応するメモリプレートに供給している。次に、プログラム回路354はユーザーのニーズやアプリケーションに合わせて、個々のメモリセルエリアを「リフレッシュ有」又は「リフレッシュ無」の何れに設定するかを任意にプログラムすることができる。そしてプログラム回路354は、メモリセルエリア毎にプログラムされた「リフレッシュ有」又は「リフレッシュ無」を表すデータをPowerDown制御回路351及びロウ制御回路353に送出する。

【0240】ここで、半導体記憶装置外部からプログラム回路354へプログラミングするための実現手法としては、以下に述べる2つの手法が具体例として考えられる。まず第1の実現手法として、プログラム回路354内部にメモリプレート対応にヒューズを設けておくことが考えられる。この場合、個々のヒューズを切断するか否かによって、スタンバイ状態における制御信号PD1～PDnのレベルを個別に設定できるようになる。

【0241】次に、第2の実現手法として外部から供給

されるアドレスを利用した手法が考えられる。すなわち、メモリセルエリア $6_1 \sim 6_n$ はそれぞれ異なるメモリ空間に割り当てられているため、外部からアドレスAddress（図1を参照）を与えたときにこのアドレスに対応したメモリセルエリアは一意に定まる。例えば $n=4$ とすると、アドレスAddressの上位2ビットの値が“00”B～“11”Bの場合にそれぞれメモリセルエリア $6_1 \sim 6_4$ がアクセスされる。したがって、プログラムすべきメモリセルエリアをアドレスAddressによって特定することができるようになる。

【0242】以上のこととを実現するには、第4実施形態（図17および図18を参照）に準じた構成とすれば良い。まず、外部から設定されるスタンバイモードを保持しておくためのレジスタをメモリプレート毎にプログラム回路354内へ設けておく。また、アドレスAddresss、チップセレクト信号／CS、書き込みイネーブル信号／WE、バスWRBをプログラム回路354に入力する。

【0243】そしてスタンバイモードの設定にあたっては、設定すべきメモリプレートをアドレスAddressの上位2ビットで指定するとともに、これ以外の下位ビットを特定の値（例えば、第4実施形態に準じて下位ビットがすべて“0”B）に設定しておく。また、設定すべきスタンバイモードを表すデータをバスWRB上に載せておく。この状態で書き込みイネーブル信号／WEを立ち下げるとき、プログラム回路354はアドレスAddressの上位2ビットで指定されたメモリプレートに設定すべきスタンバイモードのデータをバスWRBから取り込んで、当該メモリプレートに対応したレジスタへセットする。

【0244】次に、上記構成による半導体記憶装置のスタンバイ動作について説明する。いま例えばメモリセルエリア $6_1$ だけを「リフレッシュ有」としてこれ以外のメモリセルエリアを全て「リフレッシュ無」に設定する。そしてこの設定を上述した2つの実現手法の何れかを用いてプログラム回路354へプログラミングしておく。これにより、メモリプレート毎のスタンバイモードの設定がPowerDown制御回路351及びロウ制御回路353に通知される。

【0245】上述したように、通常動作が行われる間は制御信号PD1～PDnが全て“H”レベルとなっている。これに対してスタンバイ状態になると、PowerDown制御回路351は制御信号PD1を“H”レベルのままとする一方で、これ以外の制御信号PD2～PDnを全て“L”レベルとする。これにより、スイッチ素子3521はオンのままとなるのに対し、スイッチ素子3522～352nが全てオフとなる。このため、メモリセルエリア $6_1$ に対応したメモリプレートには電源回路350から電源が供給され続けるが、メモリセルエリア $6_2 \sim 6_n$ に対応したメモリプレートには電源が供給されなく

なる。

【0246】一方、ロウ制御回路353はロウイネーブル信号RE1、センスアンプイネーブル信号SE1、プリチャージイネーブル信号PE1を生成することで、電源が供給され続けているメモリセルエリア $6_1$ をセルフリフレッシュする。また、電源が供給されなくなったメモリセルエリア $6_2 \sim 6_n$ に対応したメモリプレートについて、ロウ制御回路353はロウイネーブル信号、センスアンプイネーブル信号、プリチャージイネーブル信号を発生させないようにする。こうしてスタンバイ状態においてメモリセルエリア $6_1$ だけをセルフリフレッシュするように制御することで、スタンバイ電流を“1/n”に低減させることができる。

【0247】以上のように、本実施形態によれば第5実施形態と同様の利点が得られるほか、ユーザのニーズやアプリケーションに応じて外部からスタンバイモードを任意に設定することができる。このほか、本実施形態では電源回路350をメモリプレート間で共通化しているため、メモリプレートの数が増えて電源回路を増やさずに済み、第5実施形態に比べてより小規模な構成とすることができる。

【0248】なお、上述した説明では第1実施形態の構成もとに本実施形態を説明したが、同様のことを第2実施形態～第4実施形態に適用しても良い。また、図24ではメモリセルエリア $6_1 \sim 6_n$ が同じ容量であるかのように描いてあるが、これらメモリセルエリアが異なる容量であっても良い。さらに、上述した説明では2種類のスタンバイモードの場合について説明したが、第1～第3実施形態のように3種類のスタンバイモードの場合に適用しても良い。

【0249】また、上述した各実施形態（第1実施形態～第6実施形態）で説明したスタンバイモードの制御は従来の疑似SRAMや汎用DRAMなどの既存の半導体記憶装置に適用しても良いのであって、各実施形態で取り上げた汎用SRAM仕様の疑似SRAMに限定されるものではない。

【0250】【第7実施形態】上述した第1実施形態～第6実施形態では、メモリセルアレイ6、メモリセルエリア $6_1, 6_2, 6_n$ などのリフレッシュ動作を全て半導体記憶装置の内部で制御していた。一方、本実施形態では上記各実施形態と同様に半導体記憶装置内部でリフレッシュ動作の制御を行うのに加えて、半導体記憶装置外部からもリフレッシュ動作を制御可能な構成としている。こうした構成を採用することによって、リフレッシュ動作時に不具合の生じるチップを出荷前のテストで選別することができる。

【0251】そこでまず、この不具合の具体的な内容及びかかる不具合が生じる理由について説明する。上述した各実施形態のうちの例えば第1実施形態では、リフレッシュ制御回路4（図1参照）が生成するリフレッシュ制

御信号REF A, REF Bに基づいてリフレッシュの開始タイミングを制御している。例えば図7に示したタイミングでは、リフレッシュ制御信号REF Aを“H”レベル（時刻t53）にしてから所定時間が経過した時点（時刻t54）でリフレッシュ制御信号REF Bに負のワンショットパルスを発生させてセルフリフレッシュを起動させている。そして、これらリフレッシュ制御信号がリフレッシュ制御回路4内のリフレッシュタイミングの出力信号に基づいて生成されることは先述した通りである。

【0252】ここで、リフレッシュタイミングがその出力信号を生成するには、半導体記憶装置内部に設けられているリングオシレータ（図示省略）の出力を分周して作るのが一般的である。このため、こうした構成とした場合にはリフレッシュ制御信号のタイミングがリングオシレータの周期に依存することになる。ところが、リングオシレータの周期は電源電圧、外部の温度、製造プロセス等の要因によって変わりうるものであり、特に外部の温度は半導体記憶装置が置かれる環境に応じて時々刻々変化する。こうしたことから、セルフリフレッシュがリフレッシュ制御信号に応じていつ開始されるのかを事前に予測することは事実上不可能である。換言すれば、半導体記憶装置外部から見て半導体記憶装置の内部におけるセルフリフレッシュは非同期的に始まることになる。

【0253】その一方で、上述したようにアドレスAddressが変化（チップセレクト信号/CSの有効化も含む；以下同じ）するタイミングは半導体記憶装置から見ると非同期的であって、そのタイミングを予め知ることはできない。このように双方のタイミングが互いに非同期的であるため、半導体記憶装置を普通にテストしただけで、セルフリフレッシュの開始タイミングとアドレスAddressの変化タイミングが特定の時間関係にあるときにだけ発生する不具合を発見するのは極めて困難である。

【0254】そして、こうしたタイミングに依存する不具合としては次のようなものが考えられる。上述したように、アドレスAddressが変化することでアドレス変化検出信号ATDにワンショットパルスが生成されるが、半導体記憶装置内部ではワンショットパルスを生成することなどがノイズ源となる場合がある。すなわち、セルフリフレッシュの開始タイミングとアドレスAddressの変化タイミングが重なった場合に、ワンショットパルスの生成に起因して電源電圧が過渡的に降下することがある。そうすると、セルフリフレッシュの開始によってリフレッシュ制御信号REF Bから生成されたロウイネーブル信号REのパルス（例えば図7の時刻t55を参照）が途中で一時的に落ち込んでしまうことになる（つまりハザードの発生）。

【0255】ロウイネーブル信号REのレベルが落ち込むとワード線が非活性化されてしまうために、必要とさ

れるリフレッシュ時間が十分確保されなくなってしまう。こうしたリフレッシュ時間不足は、以下に述べるようにメモリセルを誤ったデータでリフレッシュしてしまうという不具合を引き起こす。すなわち、DRAMメモリセルのリフレッシュ（読み出しも同様）を行うためには、例えば図25に示したようにビット線対を構成する相補のビット線（図中の符号BL及び符号/BL）の電位を何れも1/2Vccにプリチャージしておき、その後にワード線を活性化させて当該ワード線に接続されたメモリセルが保持している電荷をビット線BL上に読み出す。

【0256】こうした動作によって図中の時刻t220からビット線BL, /BL間に微小電位差が生じるので、この微小電位差をセンスアンプで“0”/“1”的論理レベルに相当する電位差（例えば接地電位/電源電位Vcc）まで増幅する。この増幅された電位差はメモリセルに対する再書き込み（リフレッシュ）のための電位差として用いられる。したがって、リフレッシュ時間不足になってしまふと微小電位差が十分に増幅されないままの電位差（例えば時刻t220～t222辺りまでの電位差）でメモリセルに再書き込みが行われてしまう。このため、メモリセルのデータが本来“1”であつたはずであるにも拘わらず、“0”的データを再書き込みしてしまう可能性がある。

【0257】また、いま述べたような不具合以外にも、ワンショットパルスの生成によって生じるノイズは次のような不具合を引き起こす可能性がある。すなわち、ワード線が活性化されてからセンスアンプが動作を開始するまでには所定時間（例えば図25に示した時刻t220～t221の期間）をおく必要がある。この所定時間内でワンショットパルスに起因したノイズがビット線対上に載ると、微小電位差がノイズの影響によって変化してしまって、ビット線BL, /BL間の電位の大小関係が反転することが考えられる。そうなると、センスアンプが増幅動作を行ってもメモリセルに記憶されていた正しいデータで当該メモリセルをリフレッシュすることができなくなる。

【0258】以上のような不具合があるチップをそのまま出荷するわけにはゆかないで、こうしたチップを選別して、セルフリフレッシュの開始タイミングとアドレス変化のタイミングがどのような時間関係にあっても不具合が生じないことを保証する必要がある。なお、根本的な解決策はノイズ源を無くすことであって、それには電源を強化したり電源系統を複数に分割したりといった対策が有効であると考えられる。しかし、こうした対策を施してもノイズが完全に除去されるとは限らないことから、本当に不具合が解消されているかどうかを検証しておくことは当然必要となってくる。

【0259】そこで本実施形態では、半導体記憶装置外部（具体例としてはテスト装置）からの指示に従って、

セルフリフレッシュの開始のタイミングとアドレスAddressの変化タイミングとの間の時間関係を変えてやって上記不具合の有無を検証するようにしている。ちなみに、汎用DRAMの中にはセルフリフレッシュを実施しているものもあるが、汎用DRAMではアドレス変化に対応してワンショットパルス信号を生成する構成を採用していないため、上述したような不具合が生じることはない。その意味において、かかる不具合を検証するという課題は、本発明のようにDRAMメモリセルを用いたSRAM仕様の半導体記憶装置に独特のものである。

【0260】以下では、本発明の技術思想を第1実施形態の構成へ適用する場合を例に挙げて具体的な構成を説明してゆく。図26は本実施形態による半導体記憶装置の構成を示したブロック図であって、図1に示したものと同じ信号名および構成要素については同一の符号を付してある。そこで図1との相違点について説明すると、本実施形態では図1の構成に対してマルチプレクサ261、ノアゲート262及びインバータ263を追加するとともに、テスト装置から供給されるテストモード信号MODE及びリフレッシュ制御信号EXREFBを入力信号として追加している。また、図1に示したリフレッシュ制御回路4に対してテストモード信号MODE及びリフレッシュ制御信号EXREFBをさらに供給するようにして、これら信号に基づく機能追加（詳細は後述）を行ったものをリフレッシュ制御回路304としている。

【0261】ここで、テストモード信号MODEは半導体記憶装置を通常の動作モードからテストモードに移行させるためのテストモードエントリ信号であり、リフレッシュ制御信号EXREFBは半導体記憶装置外部からリフレッシュを起動するための信号である。また、図1ではリフレッシュ制御信号REFA, REFBをマルチプレクサ及びロウ制御回路13に供給していたが、本実施形態ではこれらの代わりにリフレッシュ制御信号REFA', REFB'をマルチプレクサ5及びロウ制御回路13に供給している。

【0262】次に、マルチプレクサ261はテストモード信号MODEが“H”レベルであれば、リフレッシュ制御信号EXREFBを選択してこれをリフレッシュ制御信号REFB'として出力し、テストモード信号MODEが“L”レベルであれば、第1実施形態と同様にリフレッシュ制御信号REFBを選択してこれをリフレッシュ制御信号REFB'として出力する。次に、ノアゲート262及びインバータ263から成る回路は、テストモード信号MODEが“H”レベルであれば、リフレッシュ制御信号REFAのレベルに関係なくリフレッシュ制御信号REFA'を強制的に“L”レベルにする。一方、テストモード信号MODEが“L”レベルであれば、第1実施形態と同様にリフレッシュ制御信号REFA'をして出

力する。次に、リフレッシュ制御回路304は、テストモード信号MODEが“H”レベルとなっている場合には、リフレッシュ制御信号EXREFBの立ち上がりで内部のアドレスカウンタを“1”カウントアップしてリフレッシュアドレスR\_ADDを更新する。

【0263】このように、テストモード信号MODEを“H”レベルにしてテストモードに移行させることで、半導体記憶装置内部で生成されるリフレッシュ要求（アドレス変化検出信号ATDの立ち上がりをトリガにしたリフレッシュ、および、リフレッシュタイマによるセルフリフレッシュ）が無効化され、外部からのリフレッシュ制御が有効化される。そして、こうした状態で外部からリフレッシュ制御信号EXREFBに負のワンショットパルスを供給することで、リフレッシュ制御信号REFBに負のワンショットパルスを与えたときと同様にリフレッシュが起動されるとともに、リフレッシュアドレスR\_ADDの更新が行われてゆく。一方、テストモード信号MODEを“L”レベルに設定すれば、第1実施形態と全く同様にして半導体記憶装置内部で生成されたリフレッシュ要求によるリフレッシュが行われるようになる。

【0264】なお、テストモード信号MODEおよびリフレッシュ制御信号EXREFBは何れも出荷前のテストでのみ使用される信号であって、出荷後はテストモード信号MODEを“L”レベルに固定して使用する。また、リフレッシュ制御信号EXREFBについてはテストモード信号MODEを“L”レベルにすれば半導体記憶装置の動作には影響しなくなるが、“H”レベル又は“L”レベルの何れかに固定して使用する。もっとも、次に述べるようにリフレッシュ制御信号EXREFBのピンを出力イネーブル信号OEピン等の既存のピンと兼用するのであればこの限りではない。

【0265】テストモード信号MODE、リフレッシュ制御信号EXREFBを入力するためのピンとしては未使用ピン（NC ; No Connection）を割り当てれば良い。大容量のSRAMではほとんどの場合に未使用ピンがあるため、外部からのリフレッシュ制御のためだけにピンの数を増やす必要が生じることはほとんど無い。また、リフレッシュ制御信号EXREFBについては、既にある信号のうちリフレッシュ時に使用されない信号と兼用するようにしても良い。こうした信号の候補としては、上述した出力イネーブル信号OEや、外部との間で入出力すべきバイトを選択するための選択信号UB（Upper Byte）、LB（Lower Byte）（いずれも図示せず）などが考えられる。ちなみに、図26ではリフレッシュ制御信号REFA, REFBを直接マルチプレクサ261等に入力しているが、バッファを介在させるようにしても良い。

【0266】次に、上記構成による半導体記憶装置の動作を説明する。ここで、テストモード信号MODEを

“L” レベルに設定したときの動作は第1実施形態の動作と全く同じであるため繰り返さない。したがって、ここではテストモード信号MODEを“H” レベルにしたときのテストモードにおける動作について詳述することとする。図27はテスタ装置から半導体記憶装置に供給される信号のタイミングをリフレッシュアドレスR\_ADDとともに示したタイミングチャートである。また、図28はテスタ装置内で実施される半導体記憶装置のテスト手順を示したフローチャートである。

【0267】まず、チップに元々固定的な不良があったりホールド特性の劣悪なメモリセルがあったりすると、リフレッシュ動作のテストを実施する意味がなくなるので、事前にホールド試験を実施しておく(図28のステップS1)。ホールド試験そのものは汎用DRAMで実施されているのと同様のテスト手順に従って行えば良い。すなわち、メモリセルアレイ6に対する書き込みを行い、リフレッシュを禁止した状態を所定時間継続した後に読み出しを行ったときに、読み出されたデータが書き込んだデータと一致するよう当該所定時間(すなわちリフレッシュサイクル)を調整することで、ホールド時間の最も短いメモリセルに合わせたリフレッシュサイクルの値が決まることがある。その際、本実施形態ではテストモード信号MODE及びリフレッシュ制御信号EXREFBをともに“H” レベルに設定することで、内部で生成されるリフレッシュ要求および外部からのリフレッシュ要求による双方のリフレッシュ動作が全く行われなくなるため、リフレッシュを禁止した状態を容易に実現することができる。

【0268】次に、テスタ装置はリフレッシュ動作が正しく行われていたかどうかを後で(具体的にはステップS13で)検証するために、メモリセルアレイ6に対して予めテストパターンを書き込んでおく(ステップS2)。ここではリフレッシュ動作の正常性を検証するのが目的であることから、全てのビットが“1”(即ち、各メモリセルが高電位を保持している状態に対応したデータ)のテストパターンを用いることになる。

【0269】次に、テスタ装置はテストモード信号MODEを“H” レベルに遷移させて半導体記憶装置をテストモードに移行させる(ステップS3; 図27の時刻t230)。なお、テストモード信号MODEを“H” レベルにしたときにリフレッシュ制御信号EXREFBが“L” レベルであるとリフレッシュがすぐに行われてしまふため、テスタ装置はテストモード信号MODEを“H” レベルにするのと同時にリフレッシュ制御信号EXREFBを“H” レベルに遷移させる。もっとも、テストモード信号MODEを“H” レベルにするよりも以前に、リフレッシュ制御信号EXREFBを“H” レベルにしても良い。

【0270】こうした設定によって、半導体記憶装置の内部ではリフレッシュ制御信号REFA' が“L” レベ

ルとなるため、アドレス変化検出信号ATDにワンショットパルスが発生しても半導体記憶装置内部でリフレッシュが起動されることはなくなる。また、マルチブレクサ261はリフレッシュ制御信号EXREFBを選択するようになるため、リフレッシュ制御回路304内のリフレッシュタイマがどのような状態にあっても動作に影響しなくなる。そして、リフレッシュ制御信号EXREFBに負のワンショットパルスを与えたときにだけリフレッシュが行われる状態となる。なお、テスタ装置はテストを実施している期間中はこの後もテストモード信号MODEを“H” レベルのまま維持し続ける。

【0271】次に、テスタ装置は時間Tの値を例えば“-10ns”に初期化する(ステップS4)。ここで言う時間Tは、リフレッシュ制御信号EXREFBを立ち下げる時点を基準としたときに、アドレスAddressをどのようなタイミングで変化させるかを規定した時間である。この時間Tが負の値であれば、リフレッシュ制御信号EXREFBを立ち下げるよりも時間“-T”だけ前の時点でアドレスAddressを変化させることを意味する。一方、時間Tが正の値であれば、リフレッシュ制御信号EXREFBを立ち下げるから時間Tが経過した後にアドレスAddressを変化させることを意味する。本実施形態では時間Tを“-10ns”～“+10ns”的範囲内で“1ns”刻みで可変させることによって、アドレスAddressの変化タイミングとリフレッシュの開始タイミングとの間の時間関係による不具合が発生するかどうかを調べている。

【0272】次に、テスタ装置はリフレッシュ回数Rの値を“0”に初期化する(ステップS5)。後述するように、本実施形態ではある時間Tの値について所定回数分のリフレッシュ(通常、ワード線の本数分に相当する回数のリフレッシュ)を行って、メモリセルアレイ6全体をリフレッシュする。つまり、このリフレッシュ回数Rは個々の時間Tの値について実施されたリフレッシュの回数を記憶しておくためのカウンタに相当している。なお、本実施形態ではワード線の本数を一例として“512”本とする。

【0273】次に、時刻t231になるとテスタ装置は、アドレスAddressの値を変化させてアドレス変化検出信号ATDに正のワンショットパルスを発生させる(ステップS6)。ここで、変化前後におけるアドレスAddressはどのような値であっても良く、また、アドレスAddressのどのビットを変化させても良い。しかしながら、ノイズを発生させる目的でアドレスAddressを変化させていることから、アドレスAddressの変化パターンとしては最もノイズがのりやすく且つノイズが大きくなるパターンであることが望ましい。こうしたことから、アドレスAddressの変化パターンとしてはアドレスAddressの全てのビットを同時に反転させるパターンが好ましい。

【0274】次に、テスタ装置はステップS4で初期化された時間T（正確には時間Tが負の場合があるので時間Tの絶対値）をテスタ装置内部の図示しないタイマに設定（ステップS7）する。そしてテスタ装置はこの時間（この時点では“10ns”）が経過するまでの間（ステップS8が“NO”）は何もせずに待機する。そして、時刻t231から“10ns”が経過して時刻t232になる（ステップS8が“YES”）と、テスタ装置はリフレッシュ制御信号EXREFBを“L”レベルに遷移させてリフレッシュ動作を開始させる（ステップS9）。なお、この時点でリフレッシュ制御回路304内のアドレスカウンタはリフレッシュアドレスR\_ADDの値として“R1”（R1=0～511〔10進数〕）を出力しているものとする。

【0275】この後、時刻t232から所定時間が経過して時刻t233になると、テスタ装置はリフレッシュ制御信号EXREFBを“H”レベルに戻してリフレッシュ動作を終了させる（ステップS10）。なお、この所定時間としては例えば図7においてリフレッシュ制御信号REFBを“L”レベルにしている時刻t5.4～t5.6と同じ時間にすれば良い。そして時刻t234になると、半導体記憶装置の内部ではリフレッシュ制御信号EXREFBの立ち上がりを受けて、リフレッシュ制御回路304が次のリフレッシュに備えてリフレッシュアドレスR\_ADDの値を“R1+1”に更新する。

【0276】このように、以上述べた時刻t230～t234の間の詳細動作は、例えば図7の時刻t5.3～t5.7における動作と基本的には同じである。ただし本実施形態では、第1実施形態のようにアドレス変化検出信号ATDの立ち下がりなどのタイミングでリフレッシュアドレスR\_ADDを更新するのではなく、テストモード信号MODEが“H”レベルとなっているときにリフレッシュ制御信号EXREFBが立ち上がることでリフレッシュアドレスR\_ADDを更新している。

【0277】一方、テスタ装置はリフレッシュアドレスR\_ADDの更新に対応してリフレッシュ回数Rの値を“1”だけ増加（ステップS11）させてから、ワード線の本数分だけリフレッシュを行ったかどうか判定する。この場合はまだ1回しかリフレッシュを実施していない（ステップS12が“NO”）ので、テスタ装置は処理をステップS6に戻して、時間Tの値を変えずにこれまでに述べたのと同様の処理を行う。すなわち、時刻t235でアドレスAddressを変化させ、それから10nsが経過した時刻t236でリフレッシュ制御信号EXREFBを“L”レベルに遷移させてアドレス“R1+1”についてリフレッシュ動作を開始させる。そして、所定時間が経過後にリフレッシュ制御信号EXREFBを“H”レベルに戻したのちに、リフレッシュアドレスR\_ADDを次のアドレスに更新する。

【0278】そしてこの後は、512本目のワード線

（図27ではリフレッシュアドレスR\_ADDが“R1-1”）のリフレッシュが時刻t241で終了する（ステップS12が“YES”）まで同様の動作を繰り返していく。ちなみに、図27では図示の都合からアドレスR1の前後のリフレッシュアドレスを単に“R1-1”，“R1+1”と表記してある。しかし正確に言うと、アドレスR1の値が“0”であればアドレス“R1-1”的値は511（10進数）であり、またアドレスR1の値が“511”（10進数）であればアドレス“R1+1”的値は“0”となる。

【0279】以上のようにしてメモリセルアレイ6全体についてリフレッシュが完了したならば、テスタ装置はアドレス変化に起因したノイズによってリフレッシュ動作に不具合が生じていないかどうかを検証する。そのため、テスタ装置はメモリセルアレイ6から順次データを読み出しながら、先のステップS2で書き込んだテストパターンと逐一照合を行う（ステップS13）。その結果、何れか一つでもデータが不一致（ステップS14が“NG”）であれば、テストを行ったチップは上述した不具合の生じている不良品であるため、これを廃棄処分のチップに分類する（ステップS15）。

【0280】なお、図示の都合から、図28ではステップS13において全てのメモリセルの照合を行ってからステップS14においてチェック結果を判定するようにも取ることができる。しかしながら、テスト時間の観点からすれば、照合結果が不一致となるメモリセルが一つでも検出されたのであれば、残りのメモリセルについて照合を行うことなくそのチップを廃棄処分（ステップS15）と判定しても問題ないのは当然である。

【0281】一方、ステップS13における照合の結果として全てのデータが一致している（ステップS14が“OK”）のであれば、時間Tが“-10ns”については不具合が生じていないことから、テスタ装置は時間Tを例えば“1ns”だけ増やした（ステップS16）のちに、この時間Tが所定値に達しているかどうか判定する。本実施形態では“+10ns”までテストを実施することになるため、この所定値は“+11ns”となる。

【0282】そして、この時点では時間Tが“-9ns”である（ステップS17が“NO”）ため、テスタ装置は処理をステップS5に戻してこれまでに述べたのと同様の処理を繰り返すようにする（時刻t243～t250）。この場合の動作と上述した動作との相違点は、アドレスAddressを変化させてからリフレッシュ制御信号EXREFBを立ち下げるまでが“9ns”（例えば、最初のワード線に対するテストでは時刻t243～t244）になっていることである。

【0283】テスタ装置はこうして時間Tを“1ns”ずつ増やしながら時間Tの個々の値についてテストを行ってゆく。そして、アドレスAddressの変化によるノイ

ズの影響でリフレッシュに不具合が生じていればこの不具合がメモリチェック（ステップS13）で検出されることになる。一方、こうした不具合が何ら検出されることなく、“-10ns”～“+10ns”的範囲内にある全ての時間TについてステップS14のチェック結果が“OK”であれば、最終的にステップS17の判定結果が“YES”となり、テスト対象となっている半導体記憶装置がアドレスAddressの変化によるノイズの影響を受けない正常なチップ（良品）であるものと判定することができる。

【0284】なお以上の動作において、時間Tの値が“0”である場合、テスト装置はアドレスAddressを変化させると同時にリフレッシュ制御信号EXREFBを立ち下げるところになる。つまりこの場合テスト装置は、図28におけるステップS7～S8の処理を省略して、ステップS6及びステップS9の処理を同時にすることになる。一方、時間Tが正の値である場合、テスト装置はリフレッシュ制御信号EXREFBをまず立ち下げ、それから時間Tが経過した時点でアドレスAddressを変化させるようにする。つまりこの場合は、図28におけるステップS6の処理とステップS9の処理を互に入れ替えることになる。

【0285】以上のように本実施形態では、リフレッシュ制御信号REFA'及びREFB'のタイミングを半導体記憶装置外部から制御可能な構成として、リフレッシュの開始タイミングとアドレス変化による通常の読み出し／書き込み動作のタイミングとの間の時間関係を可変させている。このため、これら両者の時間関係として取り得る時間範囲の全体にわたって、アドレス変化によって発生するノイズの影響に起因した不具合が生じないことを出荷前に検証可能となる。

【0286】ちなみに、上述した説明では時間Tを“-10ns”～“+10ns”的範囲内において“1ns”刻みで変化させたが、これは飽くまでも一例に過ぎず、時間Tを可変させる時間範囲や刻み幅の時間値は個々の半導体記憶装置に応じて適宜決定すれば良いのはもちろんである。

【0287】また、上述した説明では第1実施形態を前提として本発明を説明したが、第2実施形態～第6実施形態に適用した場合も全く同様である。すなわち、これら実施形態において、リフレッシュ制御回路304（リフレッシュ制御回路204）、マルチブレクサ5、ロウ制御回路13（ロウ制御回路313、ロウ制御回路353）の間の接続関係は第1実施形態と全く同じである。したがって、図1の構成に対して行ったのと全く同様の変形を図12、図14、図17、図23又は図24の構成に加えれば良い。

【0288】なお、上述した各実施形態では例えばアドレス変化検出信号ATDに発生するワンショットパルスの立ち上がりエッジからリフレッシュを行うようにして

いたが、ワンショットパルスの論理を反転させてその立ち下がりエッジからリフレッシュを行うようにしても良い。これは、アドレス変化検出信号ATD以外の各信号についても全く同様である。

【0289】また、上述した各実施形態ではメモリセルアレイ6等の各メモリセルが1トランジスタ1キャパシタで構成されているものとしたが、メモリセルの構成がこうした形態に限定されるものではない。確かに、チップサイズ等の点からはこうしたメモリセルが最も好ましいが、本発明の半導体記憶装置では1トランジスタ1キャパシタ以外のメモリセルの使用を否定するものではない。すなわち、汎用SRAMのメモリセルよりも構成の小さなDRAMメモリセルであれば、1トランジスタ1キャパシタ構成でなくとも汎用SRAMに比べてチップサイズを削減できる効果がある。

【0290】また、上述した各実施形態による半導体記憶装置は、例えば図1に示した回路全体が单一のチップ上に実装されている形態であって良いのはもちろんであるが、回路全体が幾つかの機能ブロックに分割されていて各機能ブロックが別々のチップに実装されているような形態であっても良い。後者の例としては、各種の制御信号やアドレス信号を発生させる制御部分とメモリセル部分とが別々のチップ（コントロールチップとメモリチップ）に搭載された混載IC（集積回路）が考えられる。つまり、メモリチップの外部に設けたコントロールチップから各種の制御信号をメモリチップへ供給するような構成も本発明の範囲に属する。

【0291】

【発明の効果】以上説明したように、請求項1記載の発明では、入力アドレス信号に応答してアドレス変化検出信号を発生させ、このアドレス変化検出信号に応答してリフレッシュアドレス信号に対応するメモリセルのリフレッシュと入力アドレス信号に対応するメモリセルのアクセスをこの順で行っている。

【0292】このように、リフレッシュを行ってからアクセスを行うため、書き込みが連続するようなときであってもリフレッシュを1メモリサイクルに入れることができる。また、例えばメモリセルへ書き込みを行うときには書き込みイネーブル信号が遅れて入力されてもリフレッシュと書き込みが衝突するこがないことから、タイミング設計を簡単にすることで回路規模を増大させずに済む。

【0293】また、入力アドレス信号にスキューが含まれるときであっても、スキューによって入力アドレス信号の各ビットが異なるタイミングで変化したために複数のアドレス変化検出信号が発生してメモリセルのデータが破壊されるといった恐れも無くなる。また、こうしたメモリセル破壊の問題を回避するためにメモリセルへのアクセス開始を遅らせるなどの対策をとる必要がなくなるため、半導体記憶装置内部に遅延を生じさせずに済み

高速化を図ることが可能となる。

【0294】請求項1記載の発明の半導体記憶装置には、入力アドレス信号から生成される行アドレス及び列アドレスを用いて、当該入力アドレス信号の示すメモリセルにアクセスするような半導体記憶装置が含まれる。このため、汎用のDRAMのようにRAS/CASのタイミング信号に従ってアドレスを2回に分けて取り込む必要がなく、入力アドレス信号を一度に与えれば良いため、半導体記憶装置に入力すべき信号波形を生成するための回路構成を簡単化することができる。また、半導体記憶装置外部から入力アドレス信号を与えたことに付隨して1メモリサイクル中でリフレッシュが行われるため、全てのメモリセルをリフレッシュするのに必要なだけ入力アドレス信号を与えれば、半導体記憶装置外部からリフレッシュ制御を行うことなくメモリセルのデータを保持し続けることができるので、汎用SRAMと同様に取り扱いが容易である。

【0295】また、メモリセルとしてDRAMのような1トランジスタ1キャパシタのものを用いれば、汎用SRAMがメモリセル当たり6トランジスタを要するのと比較してセル面積を大幅に減少させることができるため、大容量化を図りつつチップサイズを縮小化してコストダウンを図ることができる。また、請求項1記載の発明では、入力アドレス信号の変化をトリガにして当該入力アドレス信号を取り込んでメモリセルへアクセスしている。このため、既存の疑似SRAMのように、アドレスの取り込みの度に、アドレスラッチタイミング制御機能を持ったチップイネーブル信号などの信号を変化させるなどの必要がなくなるためそれだけ消費電力を削減することができる。

【0296】また、請求項2記載の発明では、入力アドレス信号の上位所定ビットをアドレス変化検出のために用いるとともに、入力アドレス信号の上位所定ビットが同一である複数のメモリセルに対して、上位所定ビット以外のビットからなるページアドレスを変化させてこれらメモリセルへ連続的にアクセスしている。これによって、汎用のDRAMなどで採用されているページモードと同様の機能を実現することができる。

【0297】また、請求項3記載の発明では、半導体記憶装置をアクセスするときに有効化される活性化信号に応答してアドレス変化検出信号を発生させている。活性化信号としては、チップの活性化機能を持つがアドレスラッチタイミング制御機能を持たない信号を用いることができる。これにより、予め入力アドレス信号を設定しておき、活性化信号を無効状態から有効状態に遷移させることで半導体記憶装置内の動作を開始させるような使い方が可能となる。

【0298】また、請求項8記載の発明では、入力アドレス信号が変化し始めてから該入力アドレス信号が確定するまでの待機期間に相当するパルス幅を持ったワンシ

ヨットパルスをアドレス変化検出信号として発生させている。さらに、請求項9記載の発明では、ワンショットパルスが生成されている期間内にリフレッシュを行っている。こうすることで、汎用SRAMにおいて元々が待機期間となっている期間を有効利用してリフレッシュを行うことができる。また、1リフレッシュサイクル分のリフレッシュが完了して次のリフレッシュサイクルまでリフレッシュが行われないときにも、ワンショットパルスの期間は汎用SRAMと同様に待機期間になるだけであるため、リフレッシュを行うか否かによらずメモリセルからの読み出しに要する時間を一定にすることができる。

【0299】また、請求項10記載の発明では、リフレッシュを行っている期間内に書き込みイネーブル信号が入力されたときに、入力された書き込みデータをバスに取り込んでおき、リフレッシュが終了してから書き込みデータをバスからメモリセルへ書き込むようにしている。さらに、請求項12記載の発明では、セルフリフレッシュを行っている最中にアドレス変化検出信号が発生したときに、セルフリフレッシュを行ってから入力アドレス信号に対するアクセスを行うようにしている。このようにすることで、セルフリフレッシュ中に入力アドレス信号が与えられたときであっても入力アドレス信号がセルフリフレッシュに影響することなく、常にセルフリフレッシュを行ってからアクセスを行うという動作になるので、タイミング制御に必要となる論理設計作業を簡素化することができる。

【0300】また、請求項11記載の発明では、アドレス変化検出信号が所定時間にわたって発生しなかったときにセルフリフレッシュを起動させて一定時間間隔でリフレッシュを行うようにしている。通常であれば或る頻度で入力アドレス信号が与えられるのに付随してメモリセルがリフレッシュされてゆくが、以上のようにすることで、長時間にわたって入力アドレス信号が与えられないようなときであっても、メモリセルに記憶されたデータを保持し続けることが可能となる。

【0301】また、請求項13記載の発明では、ワンショットパルスの立ち上がり又は立ち下がりに相当する2種類の変化点のうち、リフレッシュを起動するトリガになる変化点とは異なる他の変化点をトリガにしてリフレッシュアドレスを更新している。これにより、新たに入力アドレス信号が変化して次のメモリサイクルが開始されたときに、入力アドレス信号にスキーが含まれていたとしても、リフレッシュアドレスは直前のメモリサイクルで既に設定されているため、リフレッシュの対象となっているメモリセル（ワード線）の選択動作がスキーの影響で遅れることはなく、リフレッシュに遅延を発生させずに済む。

【0302】また、請求項16記載の発明では、テストモード信号を入力するとともに、入力リフレッシュ要求

を所望のタイミングで入力することにより、半導体記憶装置内のリフレッシュ動作を外部から自在に制御可能となる。このため、例えば入力アドレス信号等の変化から生成されるワンショットパルスの影響によって、リフレッシュを制御するロウイネーブル信号にノイズがのったり、ワード線が活性化されてからセンスアンプのセンス動作が開始されるまでの間にビット線対ヘノイズがのったりすることで生じる不具合の存在を検証することができる。このほか、外部からリフレッシュ要求を供給するようにテストモード信号を設定し、且つ、外部からリフレッシュ要求を入力しなければ、半導体記憶装置内でリフレッシュが一切行われなくなるため、ホールド試験のためにリフレッシュを禁止する状態を容易に実現できる。

【0303】また、請求項17記載の発明では、リフレッシュの最中に使われないピンを介して入力リフレッシュ要求を与えている。こうすることで、入力リフレッシュ要求を与えるためのピンを出力イネーブル信号を入力するためのピンなどと共用できる。したがって、入力リフレッシュ要求を与えるためだけに新たなピンを割り当てずに済むことになる。

【0304】また、請求項19記載の発明では、リフレッシュを行ってから読み出し又は書き込みを行っている。さらに、請求項20記載の発明では、書き込み要求が入力されたときにはリフレッシュを行ってからメモリセルへの書き込みを行い、読み出し要求が入力されたときには読み出しを行ってからリフレッシュを行うようにしている。後者のようにすることで、読み出しを高速化してアクセスタイムの改善を図ることが可能となる。そのためには、請求項21記載の発明のように、入力アドレス信号が変化してから所定時間が経過したときに読み出し／書き込みを判定することが好ましい。

【0305】また、請求項22記載の発明では、メモリセルアレイに所定のテストパターンを書き込んでおき、半導体記憶装置内部で生成されるリフレッシュ要求による全てのリフレッシュを禁止し、入力アドレス信号の変化タイミングと入力リフレッシュ要求の供給タイミングをある時間関係に設定して、入力アドレス信号を変化させながら入力リフレッシュ要求を与えてメモリセルアレイのリフレッシュを行い、予め書き込んでおいたテストパターンとメモリセルアレイのデータを照合することで半導体記憶装置の良否判定を行っている。これにより、入力アドレス信号の変化から生成されるアドレス変化検出信号（ワンショットパルス）の影響により、リフレッシュを制御するロウイネーブル信号にノイズがのったり、ワード線が活性化されてからセンスアンプのセンス動作が開始されるまでの間にビット線対ヘノイズが載つたりすることによって生じる不具合の存在を検証することができる。

【0306】また、請求項23記載の発明では、入力ア

ドレス信号の変化タイミングと入力リフレッシュ要求の供給タイミングとの間の時間関係を所定時間範囲にわたって可変させている。例えば、両者のタイミング間の時間関係として取りうると考えられる全ての時間範囲を上記所定時間範囲とすることで、これらタイミング間の時間関係がどのようになったとしても上記ノイズに起因した不具合が発生しないことを保証することができる。

【0307】また、請求項25記載の発明では、入力アドレス信号を変化させると、入力アドレス信号の全ビットを同時に反転させている。こうすることで、ロウイネーブル信号やビット線対などにノイズがのりやすく且つノイズの大きさも大きくなるため、かかる厳しい条件下においても不具合が生じないかどうかを検証することができる。

【0308】次に、請求項26記載の発明では、スタンバイ状態となったときに、複数種類のモードの中から選択されたモードに従って、セルフリフレッシュに必要となる装置内の各回路を回路毎に動作させあるいはその動作を停止させるようにしている。これによって、リフレッシュを行うにあたって不要な回路を動作させる必要がなくなるため、消費電力を低減することが可能となる。このため、リフレッシュを必要とするメモリセルを用いた汎用SRAM仕様のメモリ、疑似SRAM、汎用DRAMなどにおいて、汎用SRAMにおけるスタンバイモードに類似した低消費電力モードを実現することができる。また、セルフリフレッシュに必要となる回路毎に各回路を動作させるかどうかを制御できるため、ユーザのニーズやアプリケーションに応じてスタンバイ電流を段階的に削減してゆけるなど、汎用SRAM等には見られない独特のスタンバイモードを実現することができる。

【0309】また、請求項27記載の発明では、独立してリフレッシュ動作が制御される複数のメモリセルエリアでメモリセルアレイを構成したときに、メモリセルエリア及びその周辺回路からなるメモリプレート毎にモードを設定して、各メモリプレートを動作させるかその動作を停止させている。これにより、一時的に保持しておけば良い情報が記憶されるメモリセルエリアに関しては、スタンバイ状態でセルフリフレッシュを行う必要がなくなる。したがって、アプリケーション等が使用するメモリ空間の割り当てに応じてメモリプレートを動作させるかどうかを決めておけば、ユーザのニーズやアプリケーションに特化した形でスタンバイ電流を最小限に抑えることが可能となる。

【0310】また、請求項29記載の発明では、複数のメモリプレート間で共有された電源手段を備えるようにして、メモリプレート毎に設定されたモードに応じて、この電源手段から各メモリプレートに電源供給を行うかどうか個別に制御している。これにより、メモリプレートの数に比例して電源手段の規模が増大することはないため、多數のメモリプレートを設けたときであって

も、小規模な回路構成でスタンバイ電流を削減することが可能となる。

【0311】また、請求項30記載の発明では、スタンバイのための入力モード信号を与えてメモリプレート毎にモードを設定可能としている。これにより、ユーザのニーズや使用するアプリケーションが変わっても、こうした変化に柔軟に対応しながらスタンバイ電流を最小限に抑えることが可能となる。

【0312】また、請求項31記載の発明では、モード設定を行うべきメモリプレートをモード設定のために入力したアドレスに基づいて特定している。これにより、ヒューズの切断によってモード設定を行うときなどに比べて、モード設定を簡単に行えるとともに、通常の読み出しや書き込みと同様にしてユーザ側でモードの再設定を簡単に行える。したがって、モード設定のために外部から専用の信号を与える必要がなく、こうした専用の信号のためのピンを設ける必要もない。

【0313】また、請求項14、32記載の発明では、リフレッシュ制御回路及び電源回路の双方を動作させて第1のモード、リフレッシュ制御回路の動作を停止させて電源回路を動作させる第2のモード、リフレッシュ制御回路及び電源回路の双方の動作を停止させる第3のモードを設けて、これらの中からいざれかのモードを選択できるようにしている。これにより、適用される機器やその使用環境などに応じて、スタンバイ状態におけるデータ保持の要否、アクティブ状態への復帰時間、電流消費量などを外部からきめ細かく制御することができる。すなわち、第1のモードではセルフリフレッシュに必要な回路へ電源が供給されているためメモリセルのデータを保持できるとともに、スタンバイ状態からアクティブ状態へ移行させるまでの時間を3種類のモードの中で最も短くすることができる。また第2のモードでは、リフレッシュ制御手段に供給すべき分だけ第1のモードよりも消費電流を低減させることができるほか、スタンバイ状態からアクティブ状態に移行したときには第1のモードと同様に直ちに半導体記憶装置を使用することができる。さらに第3のモードでは3種類のモードの中では消費電流を最も小さくすることができる。また、請求項15、33記載の発明では、所定のアドレスに対してモード毎に予め決められたデータの書き込み要求があったとき、または、活性化信号に所定の変化があったときにモードの設定を行っている。これにより、スタンバイモードを設定するために半導体記憶装置へ専用の信号を与える必要がなく、また、こうした専用の信号のためのピンを半導体記憶装置に設ける必要がない。

【0314】そして、請求項34～55記載の発明による制御回路は、メモリセルが形成されたメモリチップの外部から制御信号やアドレス信号を供給して、このメモリチップとともに上述した半導体記憶装置を構成するものである。このため、請求項34～36、38、39、

42、43、45～49、51～55記載の発明による制御回路を用いることによって、それぞれ、請求項1～3、11、12、16、17、19～21、26、27、29～33記載の発明による半導体記憶装置が奏する上述した効果と同様の効果が得られる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態による半導体記憶装置の構成を示すブロック図である。

【図2】 同実施形態による半導体記憶装置の要部の詳細構成を示した回路図である。

【図3】 同実施形態による半導体記憶装置において、リフレッシュおよびこれに続く読み出しが1メモリサイクルで実施される場合の動作を示したタイミングチャートである。

【図4】 同実施形態による半導体記憶装置において、リフレッシュが途中から行われなくなって、読み出しだけが実施されるようになった場合の動作を示したタイミングチャートである。

【図5】 同実施形態による半導体記憶装置において、リフレッシュおよびこれに続く書き込みが1メモリサイクルで実施される場合の動作を示したタイミングチャートである。

【図6】 同実施形態による半導体記憶装置において、リフレッシュが途中から行われなくなって、書き込みまたは読み出しだけが実施されるようになった場合の動作を示したタイミングチャートである。

【図7】 同実施形態による半導体記憶装置において、リフレッシュタイムによるセルフリフレッシュが行われた場合の動作を示すタイミングチャートである。

【図8】 同実施形態による半導体記憶装置において、リフレッシュタイムによるリフレッシュが行われるとともに引き続いて読み出しが行われたときの動作を示したタイミングチャートである。

【図9】 同実施形態による半導体記憶装置において、1メモリサイクル中で書き込みイネーブル信号が遅れて入力されたときのリフレッシュ、ダミーの読み出しおよび書き込みを示したタイミングチャートである。

【図10】 同実施形態による半導体記憶装置において、1メモリサイクル中においてリフレッシュタイムによるセルフリフレッシュが開始してから書き込みイネーブル信号が遅れて入力されたときのリフレッシュ、ダミーの読み出し、セルフリフレッシュおよび書き込みを示したタイミングチャートである。

【図11】 同実施形態による半導体記憶装置において、1メモリサイクル中で書き込みイネーブル信号が遅れて入力され、書き込み中にリフレッシュタイムによるリフレッシュ要求があったときの書き込みとこれに続くセルフリフレッシュを示すタイミングチャートである。

【図12】 本発明の第2実施形態による半導体記憶装置の構成を示すブロック図である。

【図13】 同実施形態による半導体記憶装置において、リフレッシュが途中から行われなくなって、読み出しだけが実施されるようになった場合の動作を示したタイミングチャートである。

【図14】 本発明の第3実施形態による半導体記憶装置の構成を示すブロック図である。

【図15】 同実施形態による半導体記憶装置の読み出し動作を示すタイミングチャートである。

【図16】 同実施形態による半導体記憶装置の書き込み動作を示すタイミングチャートである。

【図17】 本発明の第4実施形態による半導体記憶装置の構成を示すブロック図である。

【図18】 同実施形態によるスタンバイモード制御回路の詳細構成を示した回路図である。

【図19】 同実施形態によるリフレッシュ制御回路の詳細構成を示した回路図である。

【図20】 同実施形態によるブースト電源の詳細な構成を示した回路図である。

【図21】 同実施形態による基板電圧発生回路の詳細な構成を示した回路図である。

【図22】 同実施形態によるリファレンス電圧発生回路の詳細な構成を示した回路図である。

【図23】 本発明の第5実施形態による半導体記憶装置の要部の構成を示すブロック図である。

【図24】 本発明の第6実施形態による半導体記憶装置の要部の構成を示すブロック図である。

【図25】 DRAMメモリセルのセンス動作において、ピット線対BL<sub>1</sub>、BL<sub>2</sub>の電位が時間経過に伴って遷移してゆく様子を示したタイミングチャートである。

【図26】 本発明の第7実施形態による半導体記憶装置の構成を示すブロック図である。

【図27】 同実施形態において、テスタ装置から半導体記憶装置に供給される信号のタイミングをリフレッシュアドレスR\_ADDとともに示したタイミングチャート

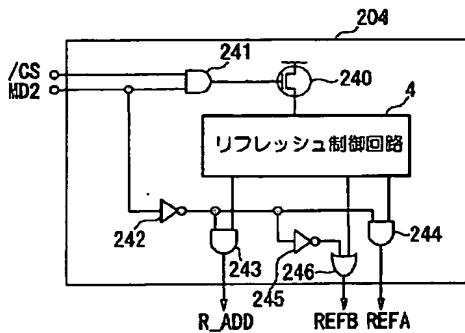
である。

【図28】 同実施形態において、テスタ装置内で実施される半導体記憶装置のテスト手順を示したフローチャートである。

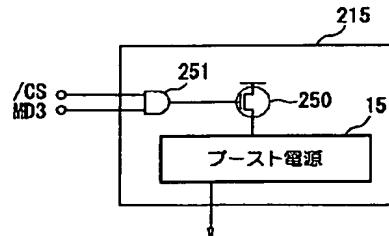
#### 【符号の説明】

- 1, 141, 151 アドレスバッファ
- 2, 142 ラッチ
- 3, 143, 163 ATD回路
- 4, 164, 204, 304 リフレッシュ制御回路
- 5, 165, 261 マルチプレクサ
- 6 メモリセルアレイ
- 6<sub>1</sub> ~ 6<sub>n</sub> メモリセルエリア
- 7, 7<sub>1</sub> ~ 7<sub>n</sub> ロウデコーダ
- 8, 8<sub>1</sub> ~ 8<sub>n</sub>, 148 カラムデコーダ
- 9, 9<sub>1</sub> ~ 9<sub>n</sub>, 149 センスアンプ・リセット回路
- 10 I/Oバッファ
- 11 R/W制御回路
- 12 ラッチ制御回路
- 13, 173, 313, 353 ロウ制御回路
- 14 カラム制御回路
- 15, 15<sub>1</sub>, 15<sub>2</sub>, 215 ブースト電源
- 16, 16<sub>1</sub>, 16<sub>2</sub>, 216 基板電圧発生回路
- 17, 17<sub>1</sub>, 17<sub>2</sub>, 217 リファレンス電圧発生回路
- 152 バスデコーダ
- 153 バスセレクタ
- 201 スタンバイモード制御回路
- 262 ノアゲート
- 263 インバータ
- 301, 351 PowerDown 制御回路
- 350 電源回路
- 352<sub>1</sub> ~ 352<sub>n</sub> スイッチ素子
- 354 プログラム回路

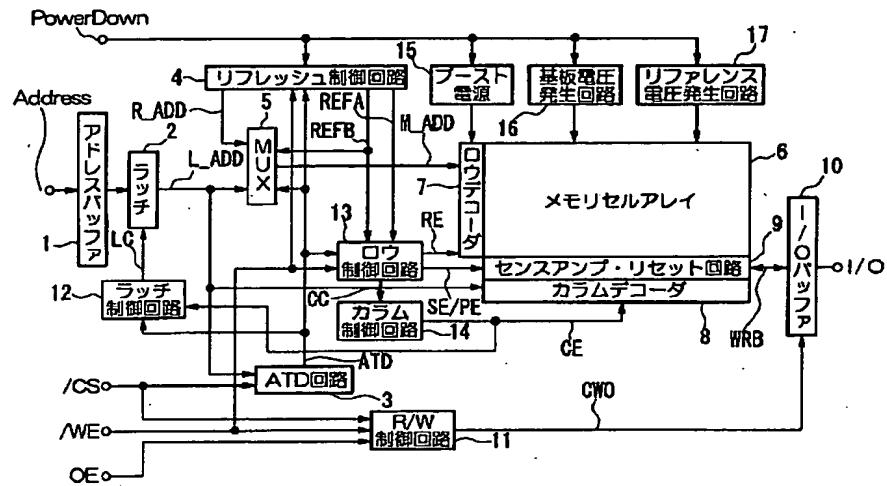
【図19】



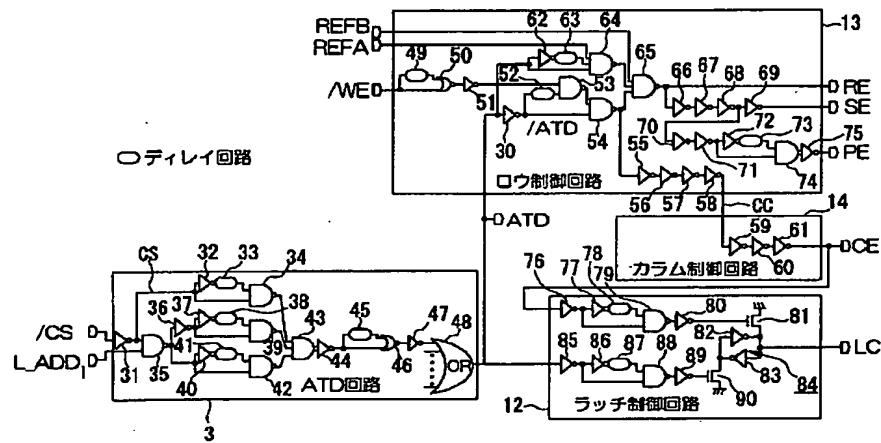
【図20】



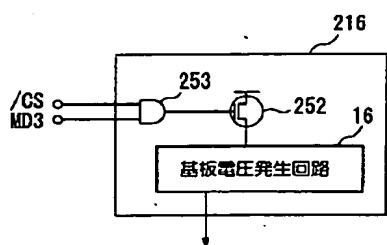
【図1】



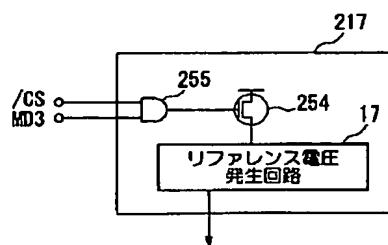
【図2】



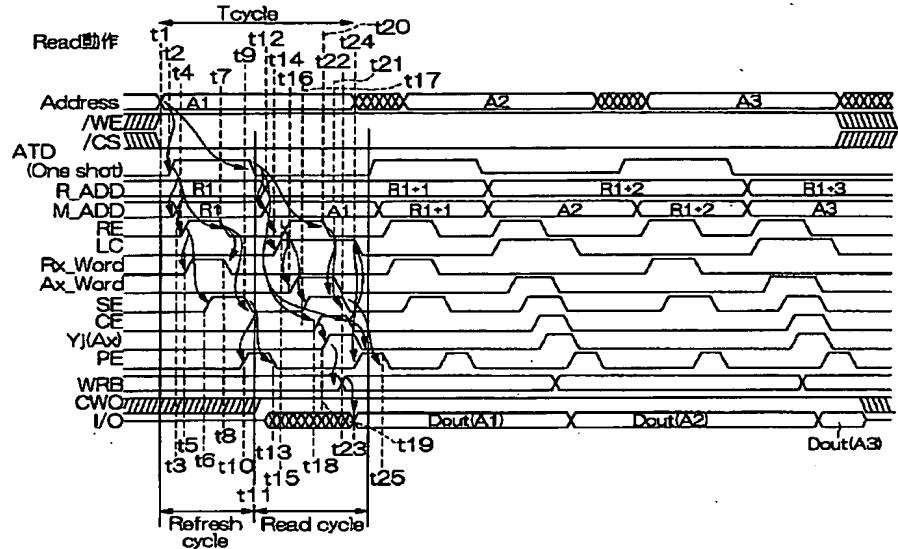
【図21】



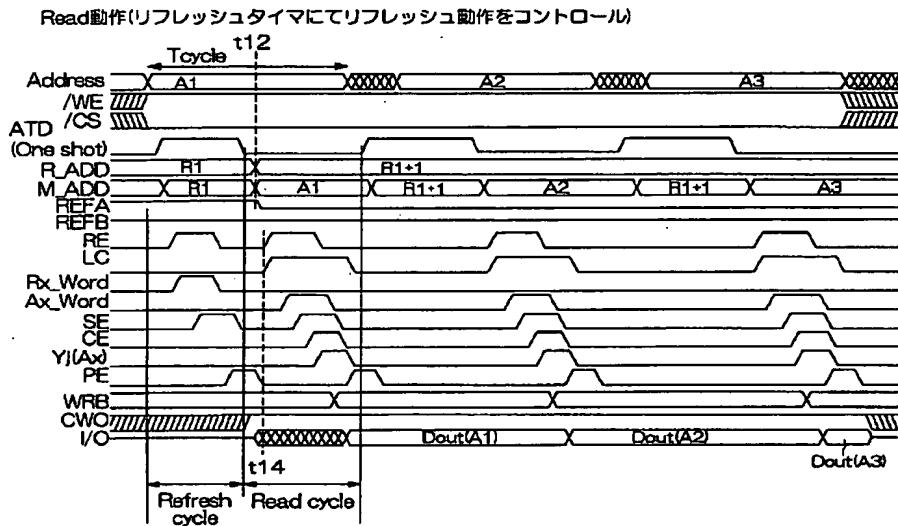
【図22】



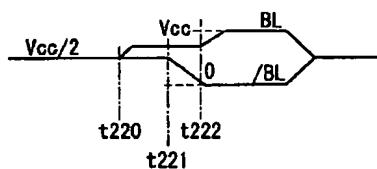
〔図3〕



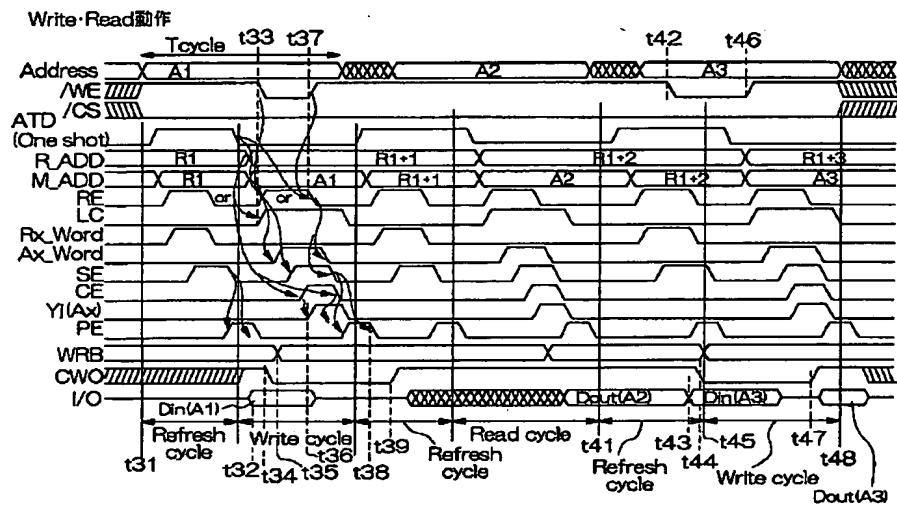
【図4】



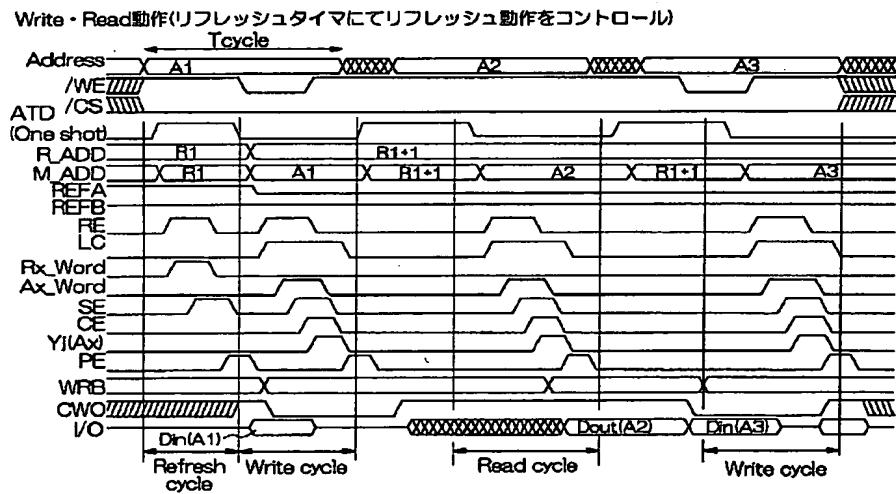
### 【図25】



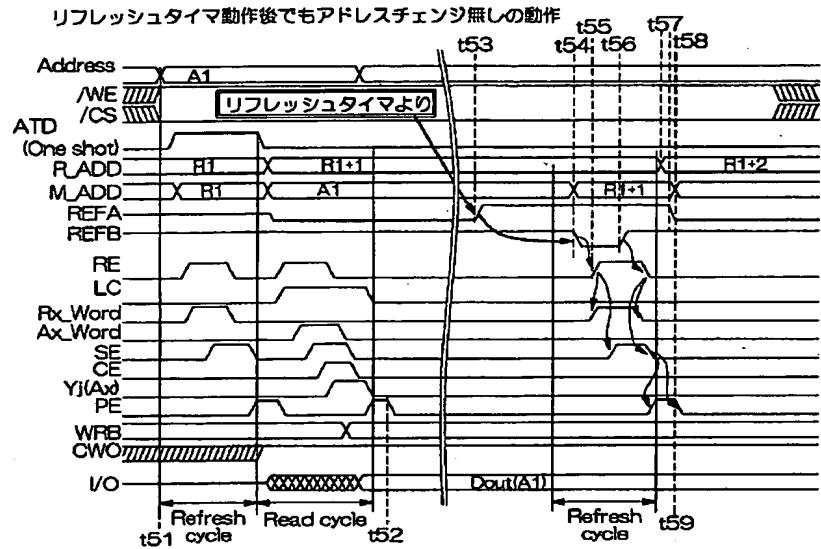
【図5】



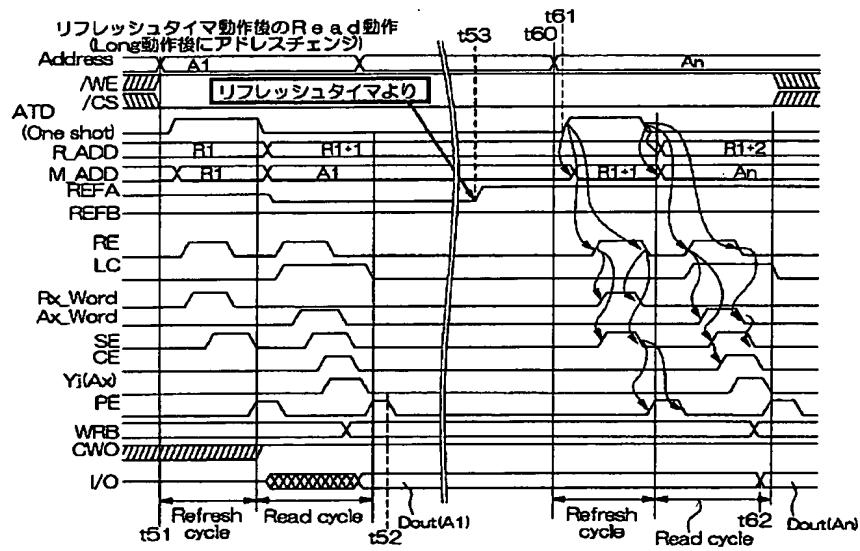
【図6】



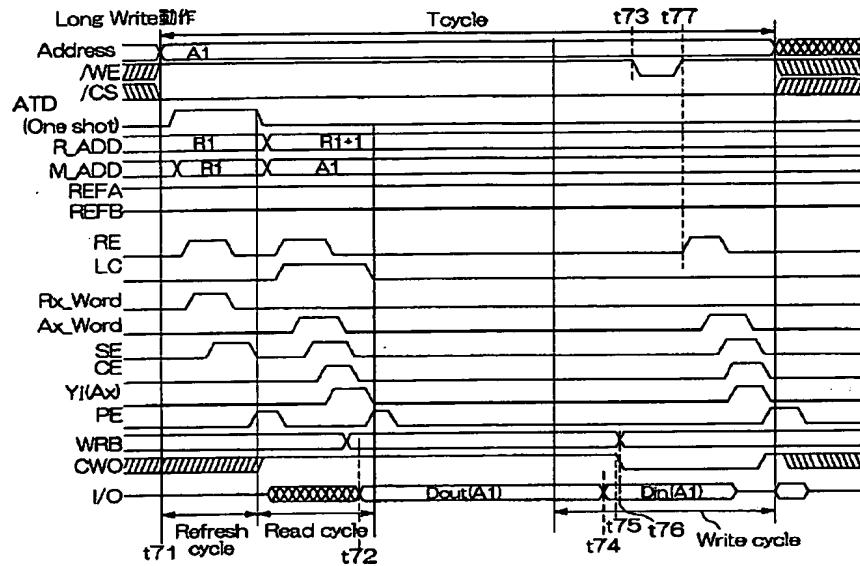
【図7】



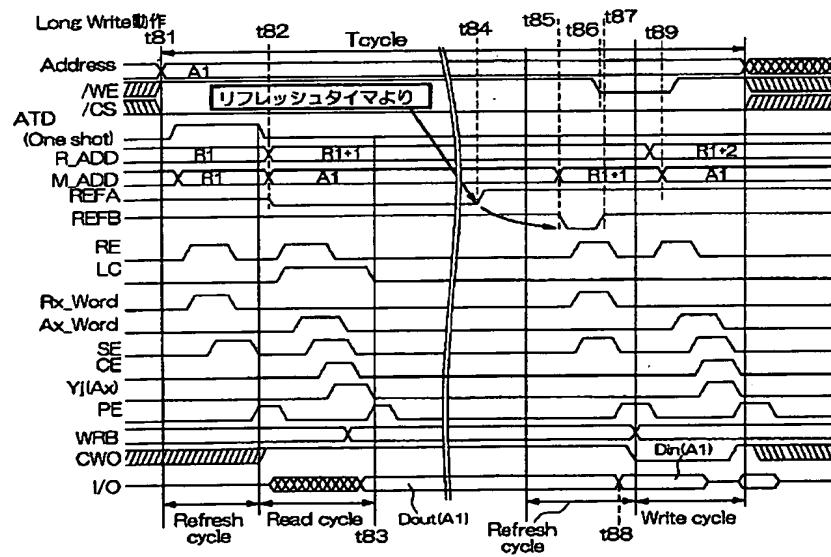
【図8】



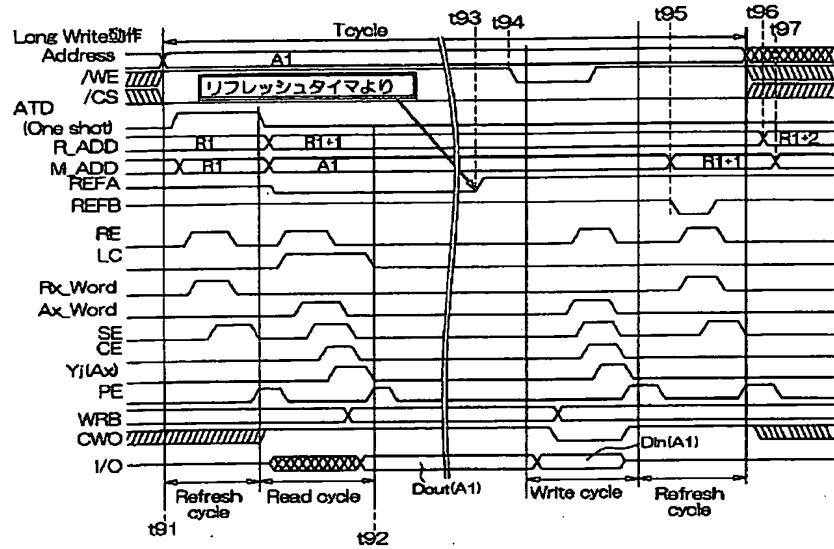
【図9】



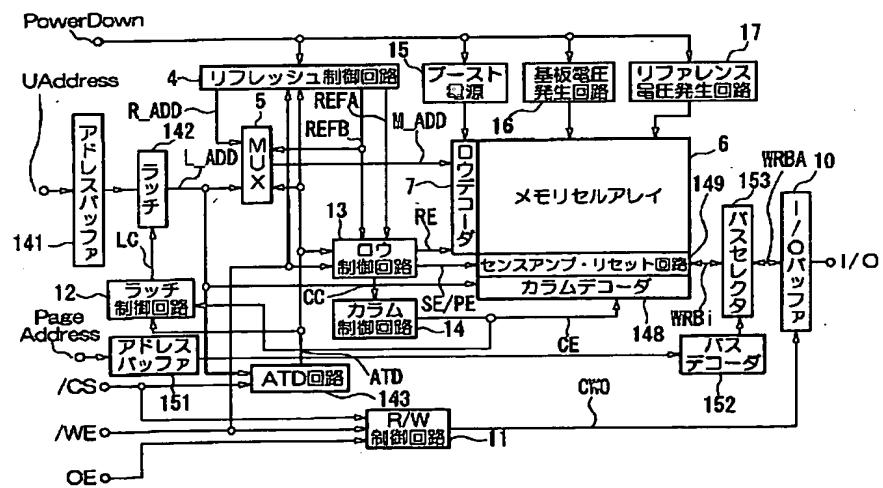
【図10】



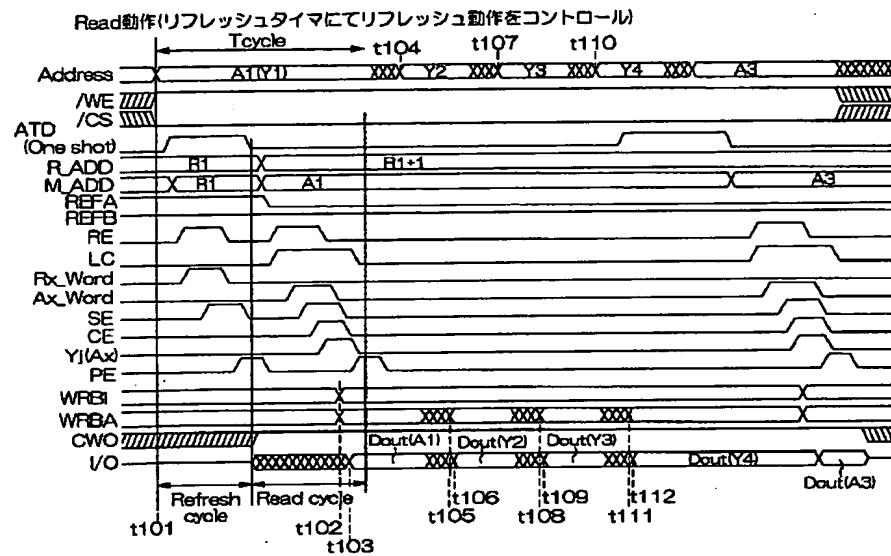
【図11】



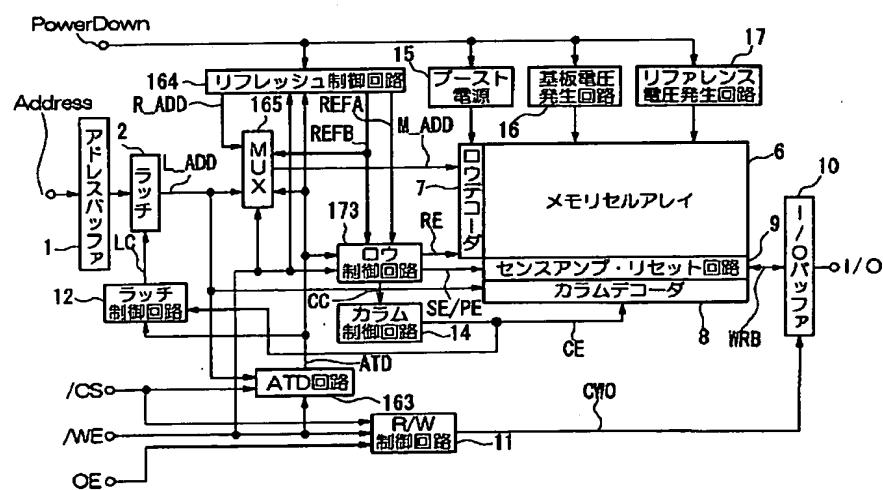
【図12】



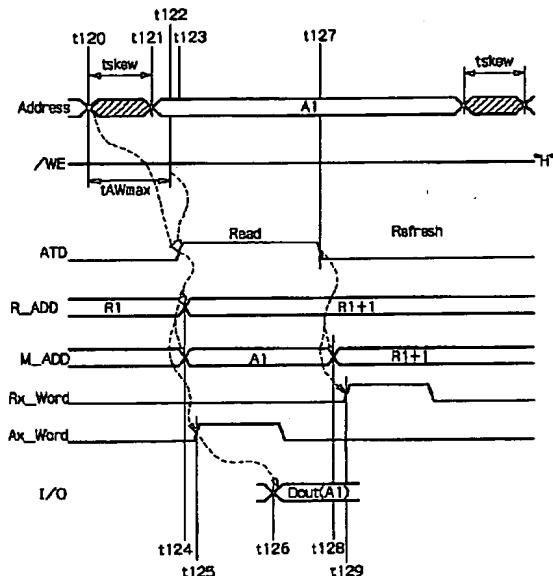
【図13】



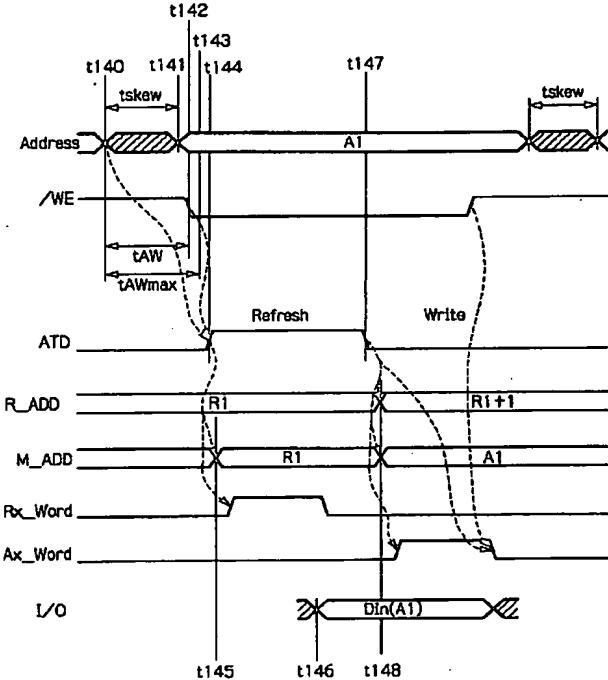
【図14】



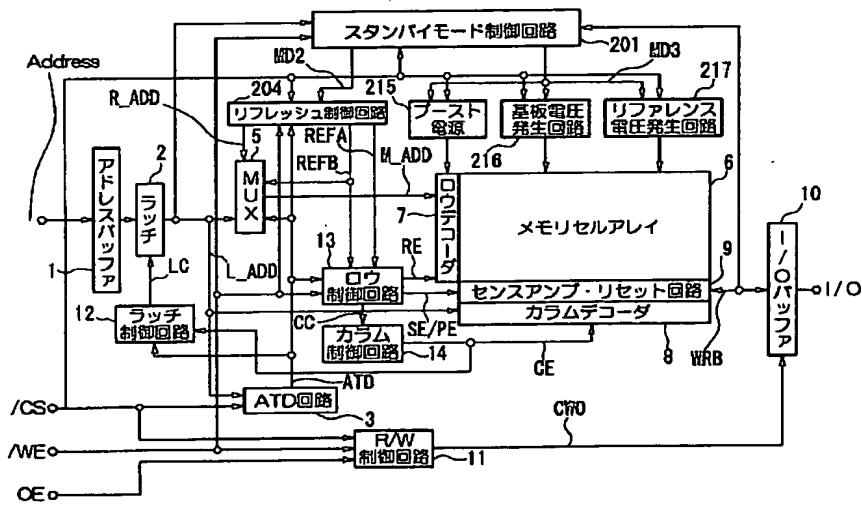
【図15】



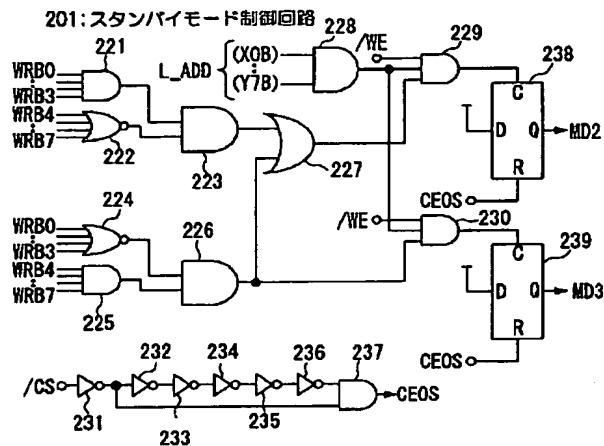
### 【図16】



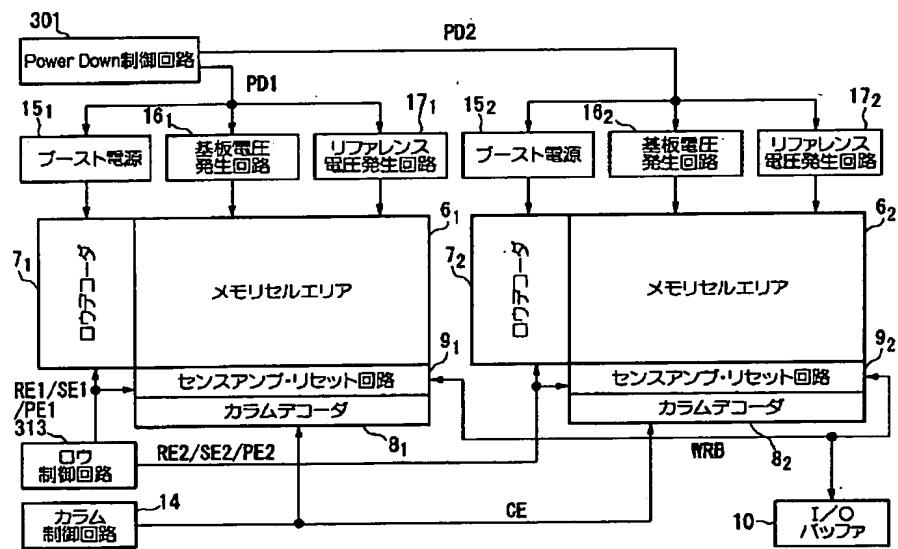
### 【図17】



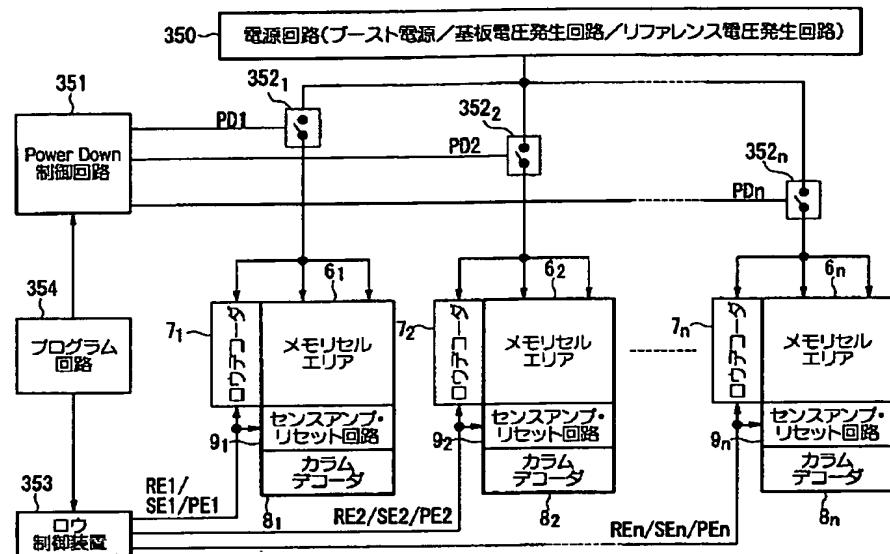
【図18】



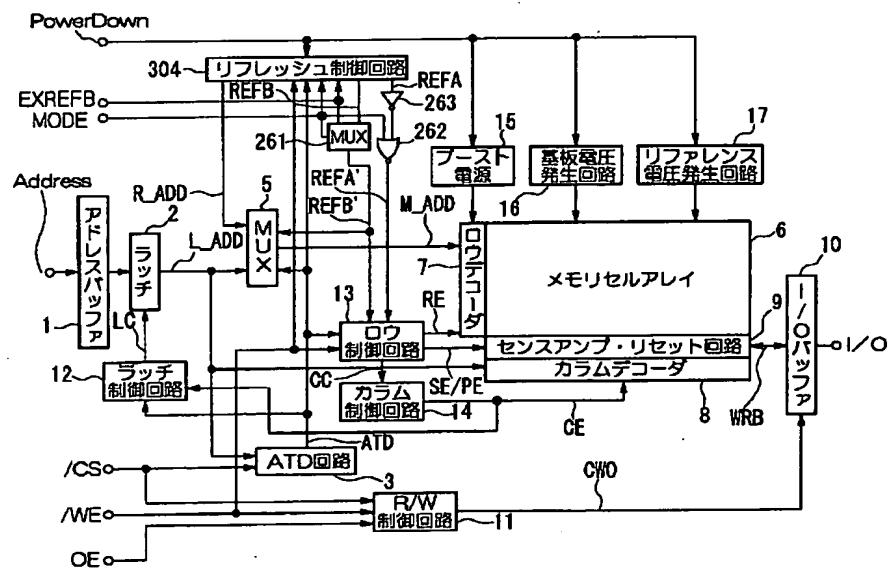
【図23】



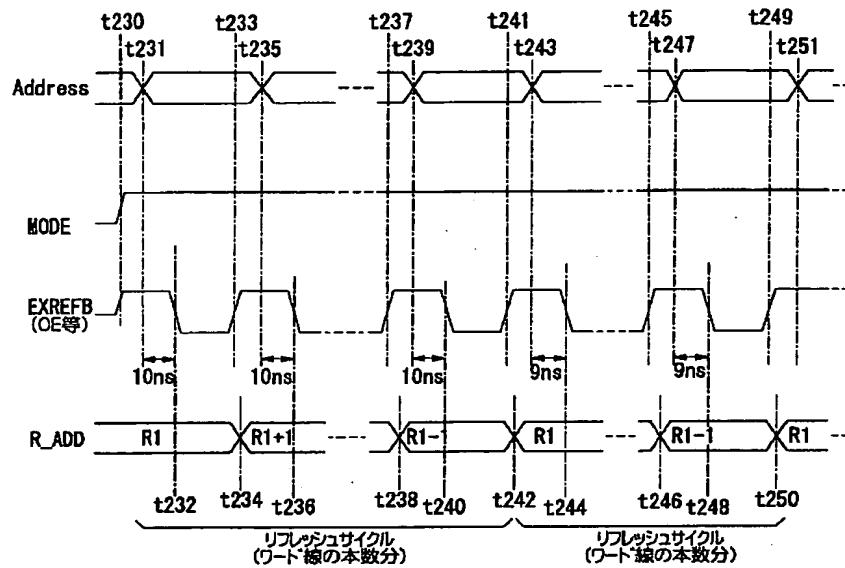
【図24】



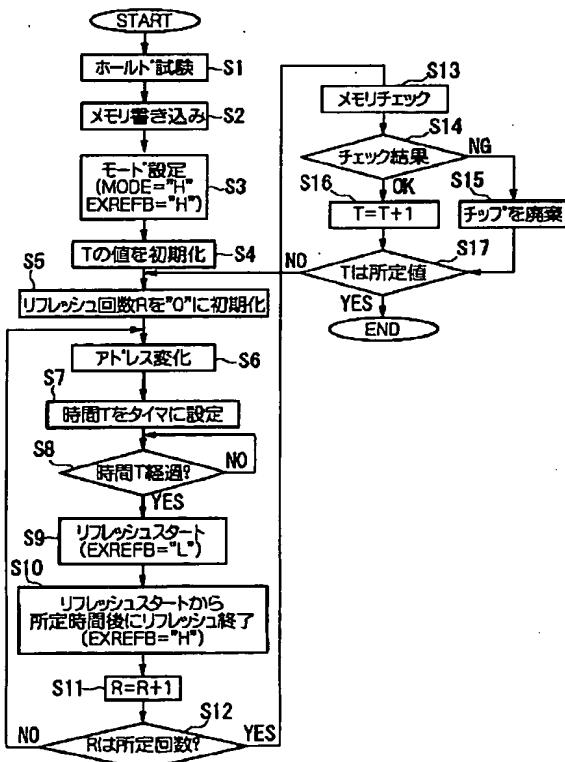
【図26】



【図27】



【図28】



(55) 2002-74944 (P 2002-749JL

フロントページの続き

(72)発明者 草刈 隆  
東京都港区芝五丁目7番1号 日本電気株  
式会社内

Fターム(参考) 5B024 AA01 AA07 BA21 BA23 BA27  
CA16 DA08 DA10 DA18 EA01  
EA04  
5L106 AA01 CC08 CC16 CC26 DD03  
DD12 EE06 FF02 GG07